

## 学位論文要旨

(Summary of the Doctoral Dissertation)

学位論文題目 (Dissertation Title)	ネットワークの拡張に基づく NoC 向きの耐故障ルーティング法に関する研究
氏名(Name)	黒川 陽太

コンピュータの頭脳に相当するプロセッサ (CPU) は、高性能化のために、複数のプロセッサコア (コア) を搭載するのが一般的になりつつある。それらのコア間の新たな接続方式として、ネットワークオンチップ (Network on Chip: NoC) が注目されている。NoC では、各コアにルータを付与したノードをチップ内ネットワークに接続し、パケット転送を行うことでコア間の通信を行う。このような多数のコアからなる並列システムにおいては、コア間の通信性能がシステム全体の計算性能を左右する重要な要因になる。

NoC が実装される集積回路 (VLSI) チップでは、製造時や稼働時における故障の発生は避けられない。NoC では、特に、多くの回路量を必要とするノードに故障が発生しやすいため、ネットワーク内に存在する故障ノードに対処する必要がある。故障ノードでパケットのルーティングが行われると、パケットに誤りや欠落が生じ、部分的な故障がシステム全体としての故障へと発展する。このため、大規模な NoC においては、システムの高信頼化のために、故障ノードを回避する耐故障ルーティング法が必要不可欠となる。

これまで、様々な耐故障ルーティング法が提案されてきた。従来の耐故障ルーティングの研究では、ノード間の通信遅延を抑制するために故障ノードをいかに効率よく迂回できるか、また、ルータの回路のオーバーヘッドを抑制するためにルーティングアルゴリズムをいかに少ない回路量で実装できるかの2つの問題が中心的な焦点であった。しかし、一般的には、通信遅延と回路量はトレードオフの関係にあり、2つの問題を同時に解決し、大規模な NoC の実現に有効な耐故障ルーティング法は未だに確立されていない。

そこで、本論文では、通信遅延と回路量の両問題を解決することを目的として、ネットワークを拡張することで得られる機能を活用することにより、新たな概念に基づく耐故障ルーティング法を提案する。従来の耐故障ルーティング法では、ほぼ全ての手法において、ルーティングアルゴリズムを改良することのみ主眼が置かれているため、両問題を同時に解決することは容易ではなかった。本論文では、ルーティングが行われるネットワークにも着目し、ネットワークの拡張とルーティングアルゴリズムの改良の両側面から問題の解決を図る。提案手法における原理は、ネットワークにスイッチとリンクを追加する拡張を行うことで、新たな通信経路を構築することである。それにより、目的地までの経路の短縮による通信性能の向上とルーティングアルゴリズムの簡略化による回路量の削減を可能にする。

本論文では、ネットワークの外周部と内部を拡張するアーキテクチャに基づく耐故障ルーティング法を提案する。ネットワークの外周部を拡張することで、外周部に物理的な迂回路を構築し、ネットワークの端の概念をなくして、迂回に要するルーティングルールを

削減可能にする。加えて、正常ノード群に論理的な迂回路を形成して、遠回りになる迂回を回避可能にする。また、ネットワークの内部を拡張することで、故障ノードの通過という新たな概念を創出し、故障ノードの迂回をなるべく回避可能にし、ルーティングルールを簡略化可能にする。本手法の有効性を示すために、通信性能と回路量の評価を行う。本手法は、ルーティングルールの簡略化による回路量の削減と目的地までのより短い経路を選択することによる通信性能の向上を目指すものである。本研究により、小面積で耐故障性を有する高性能で高信頼なプロセッサを実現することが可能になるため、汎用 CPU やアクセラレータの処理速度の向上により、新たなサービスを実現する計算基盤として応用が期待される。

本論文の構成は、以下のとおりである。

第1章では、緒言であり、本研究の背景と目的について述べる。

第2章では、NoCのルーティングにおける基礎的事項を述べる。NoCの構成とパケット転送、NoCのルーティングで満たすべき要件を説明する。さらに、従来提案されてきた耐故障ルーティング法を概観し、それらに共通する問題点を述べる。

第3章では、迂回路の拡張に基づく耐故障ルーティング法を提案する。まず、提案手法で基本手法として用いる領域ベースの耐故障ルーティング法を説明し、その問題点を指摘する。この問題を解決するために、迂回路の拡張を可能にする2次元メッシュNoCの構成を述べる。本章では、拡張された物理的な迂回路と論理的な迂回路を利用する2つの手法を提案する。本手法の通信性能と回路量を評価するために、それぞれ、本手法と従来法のレイテンシの比較と回路量の比較を行う。

第4章では、故障ノードの通過に基づく決定的な耐故障ルーティング法を提案する。まず、故障ノードを通過することを可能にする2次元メッシュNoCの構成を述べる。次に、提案手法で基本手法として用いるXYルーティングについて述べ、これを用いたY軸方向の通過が可能な手法を提案し、さらに、本手法を発展させて、X軸とY軸方向の両方向の通過が可能な手法を提案する。提案手法のレイテンシ、ノード使用率、回路量の比較評価を行うことで、本手法の有効性を示す。

第5章では、故障ノードの通過に基づく適応的な耐故障ルーティング法を提案する。本章では、提案手法で基本手法として用いる適応的なルーティングについて述べ、これを用いた通過に基づく適応的な手法を提案する。本手法の通信性能の評価においては、従来の適応的な耐故障ルーティング法との比較評価に加え、4章で提案した決定的な手法との比較評価も行う。さらに、本手法の適応性を制限した場合、並びに、特定のノードが込み合うトラヒックの場合の評価を行い、本手法の有効性を示す。

最後に、第6章で、ネットワークの拡張に基づくNoC向きの耐故障ルーティング法について総括し、今後の課題について述べる。

(様式 9 号)

## 学位論文審査の結果及び最終試験の結果報告書

山口大学大学院創成科学研究科

氏 名	黒川 陽太
審 査 委 員	主 査： 福士 将
	副 査： 松藤 信哉
	副 査： 浜本 義彦
	副 査： 多田村 克己
	副 査： 山口 真悟
論 文 題 目	ネットワークの拡張に基づく NoC 向きの耐故障ルーティング法に関する研究 (Study on Fault-tolerant Routing Methods for NoCs Based on the Extension of Networks)
<p>【論文審査の結果及び最終試験の結果】</p> <p>現代のコンピュータにおけるマルチコアプロセッサの高性能化手法として、プロセッサコアに通信装置（ルータ）を付加したノードをネットワークで接続し、パケット転送により通信を行う Network-on-Chip (NoC) が注目されている。高性能で高信頼な NoC を実現するには、システム内に発生する多数の故障ノードを避けながら通信を行う耐故障ルーティングが主要な要素技術となるが、通信の高性能化とルータの小型化は一般的にはトレードオフの関係にあり、両者の両立は困難であった。これに対し、本研究では、通信の基盤であるネットワークに着目し、リンクとスイッチを追加して拡張する新たなアプローチに基づく 3 種類の耐故障ルーティング法を提案している。</p> <p>まず、通信経路が一意に決定される決定的ルーティングにおいて、ネットワークの外部の拡張に基づく手法を提案している。本手法は、拡張で得られる物理的な迂回路と新たに追加した論理的な迂回路を併用することで、通信遅延とルータの回路量の同時削減を可能にする。パケット転送のシミュレーションにより通信遅延を評価し、本手法の有効性を検証している。また、ルータの回路設計とレイアウト面積の推定により、回路量の削減効果を明らかにしている。</p> <p>次に、通信遅延のさらなる削減を目的として、ネットワークの内部の拡張に基づく手法を提案している。本手法は、故障ノードを迂回するだけでなく、通過することを可能にすることで、通信の経路長とルータの回路量の同時削減を可能にする。シミュレーションによる比較評価により、従来手法よりも通信遅延を大幅に削減可能であることを示しており、回路設計により、ルータの回路量の削減効果を明らかにしている。</p> <p>さらに、混雑状況に応じて通信経路を柔軟に選択可能な適応的ルーティングにおいて、故障ノードの通過に基づく手法を提案している。本手法は、故障ノードの通過を許可する条件を限定することで、最短経路を取り得ることを保証する。従来手法との比較評価により有効</p>	

(様式 9 号)

性を示すとともに、適応性と通信遅延の関係も明らかにしている。

本論文のアプローチであるネットワークの拡張は、わずかな回路を追加することにより、通信の高性能化とルータの小型化の両立を可能にするものであり、従来研究には全く見られない斬新なものである。これにより可能になる故障ノードの通過は、故障ノードは迂回するという当該研究分野の常識を覆すものであり、シミュレーションおよび回路設計による成果は、その有効性を裏付けるものである。本アプローチは、様々な形態の NoC に適用可能な応用範囲の広いものであるため、実用性の高いアプローチとして、マルチコアプロセッサの高性能化に貢献するものと考えられる。

公聴会における主な質問内容は、ネットワークの規模と提案手法による通信性能の関係性に関するもの、対応可能な故障とその検知方法に関するもの、拡張に要する回路の信頼性に関するもの、並列コンピュータなどにおけるルーティングと提案手法の違いに関するものなどについてであった。いずれの質問に対しても、発表者からの確かな回答がなされた。

以上より、本研究は、独創性、信頼性、有効性、実用性ともに優れ、博士（工学）の論文に十分値するものと判断した。

論文内容及び審査会、公聴会での質問に対する応答などから、最終試験は合格とした。

なお、主要な関連論文の発表状況は下記のとおりである。（関連論文 計 8 編、参考論文 計 3 編）

- 1) Y. Kurokawa and M. Fukushi, "Design of an extended 2D mesh network-on-chip and development of A fault-tolerant routing method," IET Computers & Digital Techniques, Vol. 13, Issue 3, pp. 224–232, 2019.
- 2) Y. Kurokawa and M. Fukushi, "Passage of Faulty Nodes: A Novel Approach for Fault-Tolerant Routing on NoCs," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E102.A, No. 12, pp. 1702–1710, 2019.
- 3) Y. Kurokawa and M. Fukushi, "An Adaptive Fault-tolerant Routing Method for 2D Mesh NoCs Based on the Passage of Faulty nodes," Proc. of AROB'21, pp. 560–565, 2021.