

放電プラズマ焼結法で作製した極薄セラミックス焼結体を活用した 非可逆伝送デバイスの開発

Development of Non-Reciprocal Transmission Device Using Extremely thin Ceramic Platelet Prepared by SPS Method

山本節夫*

Setsuo YAMAMOTO

Key Words: Spark-Plasma-Sintering, SPS, YIG Ferrite, Non-Reciprocal Transmission Device, Isolator

1. はじめに

携帯電話端末には、送信回路の保護と安定動作を保障し、高品質な通信を確保するために、“アイソレータ”と呼ばれる磁気部品が内蔵されている。この部品は送信回路の終段増幅器とアンテナ共用器の間に配置され、送信回路終段増幅器から出力された電磁波はアンテナの方に通過させるが、アンテナで反射されて送信回路に逆流してくる電磁波は阻止する働き、すなわち非可逆的な伝送特性をもつ。この非可逆伝送特性は、YIG（イットリウム鉄ガーネット）フェライト（ $Y_3Fe_5O_{12}$ ）磁性材料の中における磁気モーメントのジャイロ磁気効果によって実現される。

携帯電話に使用されている現行のアイソレータ製品は、最も薄いものでも 1.6mm ほどの背丈がある。他の大多数の電子部品が 1 mm 近くまで低背化を実現している状況の中で、アイソレータは最も背丈が高い部品となっている。最近の携帯電話端末においては、GPS やカメラの機能、デジタルオーディオプレーヤーとしての機能、テレビ放送の受信機能、財布としての機能など、高機能化・多機能化の要求が極めて強い。アイソレータを低背化することは携帯電話を薄型化できるだけでなく、空いたスペースに他の機能を付加でき、携帯電話の高機能化・高性能化につながる。

最近、筆者らは日立金属（株）と共同で、従来製品よりも大幅な低背化を実現したアイソレータ（高さが 1 mm）を開発することに成功した^{1,3)}。新開発のアイソレータには、放電プラズマ焼結法（Spark Plasma Sintering, 略して SPS 法）（パルス通電焼結法）によって製造された厚みが 0.3 mm という極薄の YIG フェライト焼結体が用いられた。本報では、放電プラズマ焼結法による極薄の焼結体の製造に重点を置きながら、このアイソレータの開発に関わる筆者らの取組みを紹介する。

2. 低背型アイソレータの設計

2.1 アイソレータの構造

アイソレータの構造は、集中定数型と分布定数型に大別される。これらの基本構造を図 1 に示す^{4,5)}。電磁波の通り道となるフェライト材料としては、高周波域で損失が少ないものが望まれ、準マイクロ波帯用のアイソレータには、低損失な YIG フェライト焼結体を使用されている。この YIG フェライト中の磁気モーメントをそろえてジャイロ磁気効果（歳差運動）を起こさせるために、1000 Oe 程度の強さの直流磁場（バイアス磁場）を YIG フェライト焼結体に印加することが必要である。バイアス磁場を発生させるために、素子にはフェライト永久磁石が組み込まれている。上下のヨークは軟磁性材料で作られていて、バイアス磁場を効率的に印加するための磁気回路の一部を構成している。中心電極は信号を伝送するためのものである。コンデンサはインピーダンス整合のために必要とされる。

現在、携帯電話端末に用いられているのはほとんどが集中定数型のアイソレータであり、分布定数型は基地局などの大電力用のみ用いられている。図 1 からわかるように、集中定数型アイソレータは複雑な構造をしており、バイアス磁場が印加されたフェライトにより非可逆的に結合した 3 つの伝送線路、インピーダンス整合用の 3 つのコンデンサなど、部品点数が多い。

一方、分布定数型アイソレータは、上下ケース（上下ヨーク）、フェライト永久磁石、YIG フェライト、および伝送線路で構成される。上下ケース（軟磁性体）は、外部の浮遊磁場から素子を磁気遮蔽する役割と、フェライト磁石から生じる磁束を効率よく YIG フェライトに導く磁気回路の役割を果たし、電気的には接地されている。Y 字型の分布定数線路自体がインダクタやコンデンサなどの役割も担うために、部品点数が少なく、単純な構造になっている。筆

* 山口大学大学院医学系研究科 応用医工学専攻 (〒755-8611 山口県宇部市常盤台 2-16-1)
Applied Medical Engineering Science, Graduate School of Medicine, Yamaguchi University (2-16-1 Tokiwadai, Ube, 755-8611, Japan)

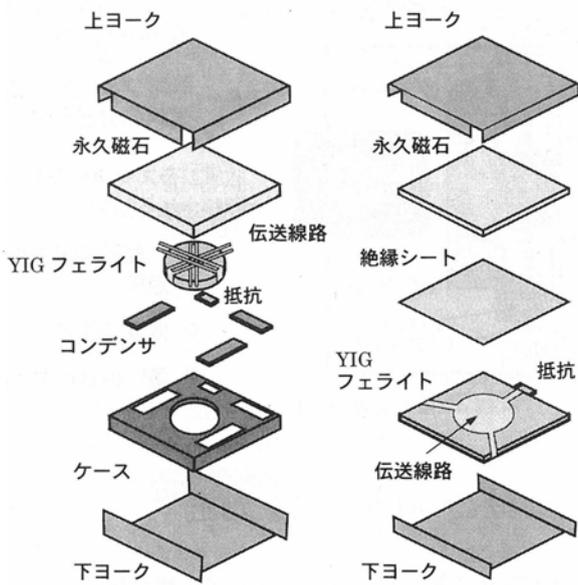


図1 アイソレータの構造図。左：集中定数型（携帯電話での現行製品）、右：分布定数型

者らはアイソレータの大幅な低背化を実現するには、伝送線路の構造が単純で部品点数が少なくすむ分布定数型が有利であると考えた。

3次元有限要素法に基づく高周波電磁界解析ソフトウェア (Ansoft 社の HFSS) を用いて、分布定数型の低背型アイソレータを設計した。シミュレーションしたアイソレータの基本構造を図2に示す。0.2 mm 厚のフェライト永久磁石、マイクロストリップ伝送線路が表面にパターンニングされた 0.3 mm 厚の YIG フェライト、伝送線路を保護するための 50 μ m 厚のポリミドシート、および鉄製のケースで構成される。伝送線路は Y 接合部とインピーダンス整合用のコンデンサ部から成る。Y 接合の3つのポートのうちの1つを 50 Ω の抵抗で終端させてアイソレータとして機能させた。まず最初に、この構造において YIG フェライトの中に印加されるバイアス磁場を計算し、次に、伝送線路の構造を高周波電磁界シミュレーションによって最適化した。

2.2 静磁場解析

アイソレータを実現するには、図2の基本構造において、所望の動作周波数において非可逆的な伝送特性を得るのに必要な強度のバイアス磁場を YIG フェライト中に均一に印加することが要求される。本研究では動作周波数として、現行の携帯電話端末（動作周波数 2GHz 以下）よりもデータ転送速度を高くできる可能性のある 5 GHz を想定した。バイアス磁場発生用のフェライト永久磁石としては日立金属(株)製の最新の磁石（型番：YBM-9BE）の磁気特性を想定し、YIG フェライトとしては、添加物を加えることによって飽和磁化 (M_s) を 900 G に調整したものを想定した。バイアス磁場の計算には、Ansoft 社の静磁場解析ソフトウ

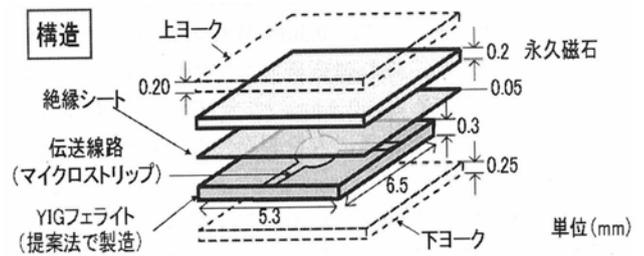
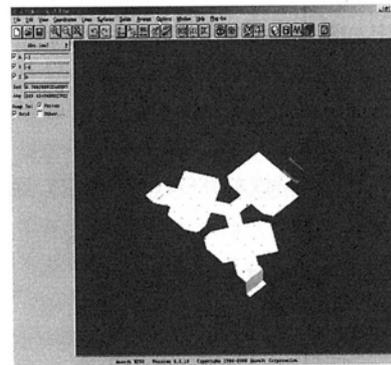


図2 本研究で新たに設計したアイソレータの基本構造。
(上) 伝送線路のパターン、(下) 全体の構造

エア Maxwell 3D Ver. 9 を用いた。

YIG フェライト内部におけるバイアス磁場分布の解析結果から、強度が 850 Oe のバイアス磁場を半径約 1.5 mm の範囲にわたって均一に印加できることがわかった。分布定数型アイソレータにおいては、バイアス磁場は強磁性共鳴が起こる磁場強度よりも低く設定するのが一般的である。このシミュレーション結果で得られたバイアス磁場の強度 850 Oe は、動作周波数が数 GHz 帯のアイソレータの実現を目指すには適切な大きさである。

2.3 高周波解析

静磁場解析によるバイアス磁場のシミュレーション結果を踏まえ、YIG フェライト内部のバイアス磁場を 850 Oe に設定し、高周波電磁界解析によってアイソレータの伝送特性をシミュレーションした。ポート 1 からポート 2 への伝送を順方向、ポート 2 からポート 1 への伝送を逆方向と定義した。以後、ポート 1 からポート 2 への伝送損失 $|S_{21}|$ を挿入損失、ポート 2 からポート 1 への伝送損失 $|S_{12}|$ をアイソレーションと表現する。

高周波電磁界解析に用いた物質定数としては、YIG フェライトには飽和磁化 $B_s = 900$ G、磁気共鳴半幅幅 $\Delta H = 50$ Oe、比誘電率 $\epsilon = 15$ 、誘電損失 $\tan \delta = 0.0002$ を、フェライト永久磁石には比誘電率 $\epsilon = 12$ 、誘電損失 $\tan \delta = 0.02$ 、電気伝導率 $\sigma = 0.01$ S/m を、ポリミドシートには比誘電率 3.3、伝送線路の電気伝導率としては銀の典型的な値 $\sigma = 6.1 \times 10^7$ S/m を想定した。

伝送線路は図2の基本構造をもとに、(1)動作周波数が約

5 GHz で、(2)アイソレーションと各ポートでの反射損失が共に 20 dB 以上、(3)挿入損失が 1 dB 以下となるように、シミュレーションによってその具体的な形状と寸法を最適化した。その結果得られた伝送特性を図 3 に示す。アイソレーションの最大値は 23 dB、挿入損失の最小値は 0.65 dB という優れた非可逆伝送特性が得られ、その中心周波数は 5.1 GHz 付近であった。

3. 極薄フェライト焼結体の新規製造技術

3.1 SPS 法の導入

背丈が 1 mm のアイソレータを実際に試作するにあたっては、前述したように決定した素子設計にしたがって、YIG フェライト焼結体としては 0.3mm 程度の厚みのものを使用する必要があった。これは従来製品で用いられているものの約半分の厚みである。0.3 mm という極薄で低損失な YIG フェライト焼結体を安価に大量製造できる技術の開発が必要となった。

従来の焼結法（ホットプレス、熱間等方加圧など）で、厚みがディーブサブ mm という薄い焼結体を一気に製造することは難しい。また、これらの方法で厚い焼結体を作製したあとで、切断・研磨によって所望の厚みのフェライト薄板を得るという方法は、加工コストなどの面から好ましくない。また、フェライトを通常の電気炉で焼結する場合には、クラックが発生しないように試料内の温度分布を均一にする必要があり、昇温速度を遅くせざるをえなく、製造に長時間を要する。

そこで筆者らは、極薄フェライト焼結体の製造方法として放電プラズマ焼結法^{6,7)}を導入した。図 4 に SPS 装置の試料室周りの概略図を示す。円筒状のダイと円柱状のパンチ電極（これらはともに導電性のあるグラファイト製）で組んだ型の中に出発原料粉を充填し、パンチ電極で原料を上下から一軸加圧しながら、パルス状の直流大電流を型に通電する。型に発生するジュール熱によって、原料は型から直接的に加熱される。これまでに、SPS 法を YIG フェライト焼結体の製造に応用した報告はほとんど無く、また、SPS 法を用いて厚みがディーブサブ mm という極薄の焼結体の

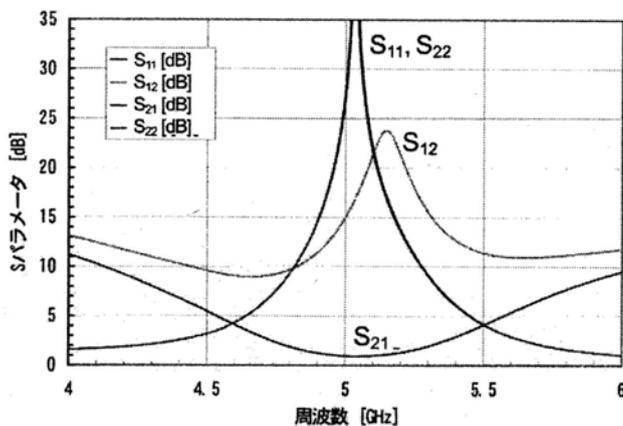


図 3 アイソレータの伝送特性(電磁界シミュレーションの結果)。

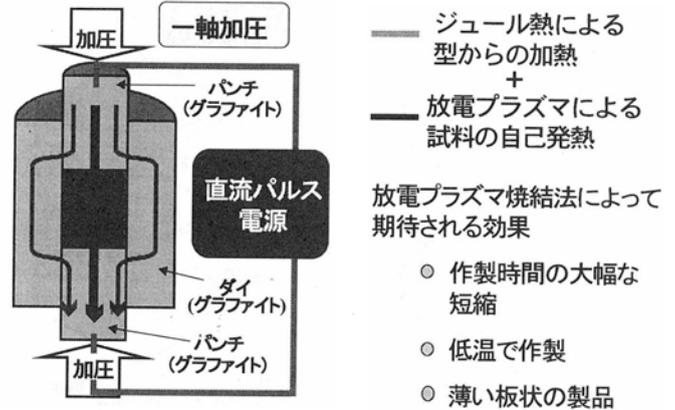


図 4 SPS 装置の主要部の構造と加熱原理。
(太い矢印は電流を示す)

製造に挑戦した例も見当たらなかった。

3.2 SPS 法で製造した YIG フェライト焼結体

SPS 法による YIG フェライト焼結体の製造には、実験用小型放電プラズマ焼結装置(住友石炭鉱業(株)製 SPS-515)を使用した。原材料としては YIG フェライト磁性粉を用い、図 5(上図)に示す SPS 焼結条件(加圧 0.6 tf/cm², 焼結温度 800 °C, 昇温速度 50 °C/min, 保持時間 5 min)で、厚みが 0.2~1 mm の焼結体を作製した。焼結体の厚みは原材料の仕込み量で制御した。

アイソレータに使用する YIG フェライト焼結体の特性としては、強磁性共鳴半値幅 (ΔH) の値が小さいことが望まれる。 ΔH が小さく高周波損失が小さいほど、挿入損失の少ないアイソレータを実現できる。

SPS 焼結したままの YIG フェライト焼結体の ΔH を測定したところ、660 Oe と非常に大きく、このままの特性ではアイソレータに使用できないことがわかった。通常の電気炉による YIG フェライト焼結体の製造においては、1350 °C 程度の高温で焼結されている。これに対して、本実験で使用した放電プラズマ焼結では焼結温度が 800 °C と低い。放電プラズマ焼結法においては、グラファイト製のダイとパンチを使用し、離型のためのカーボンペーパーも使用している関係で、還元雰囲気下での焼結であり、酸素が不足している傾向がある。

そこで、大気中、高温でのポストアニール処理を試みた。ポストアニール処理には、急速加熱アニール(フラッシュアニール)が可能な赤外線ゴールドイメージ炉 (ULVAC 製型番 MR-39S/H) を使用し、図 5(下図)に示す温度設定で行った。

図 6 に、原材料粉およびフラッシュアニール処理前後における焼結体試料の XRD ダイアグラムを示す。原材料粉の XRD ダイアグラムには YIG 相だけでなく YFeO₃ 相も見られた。これは粉碎性をよくするための処置である。SPS 法で焼結したままの試料には、YFeO₃ 相が依然として残っている。1350 °C でフラッシュアニールを行なった試料では、YFeO₃

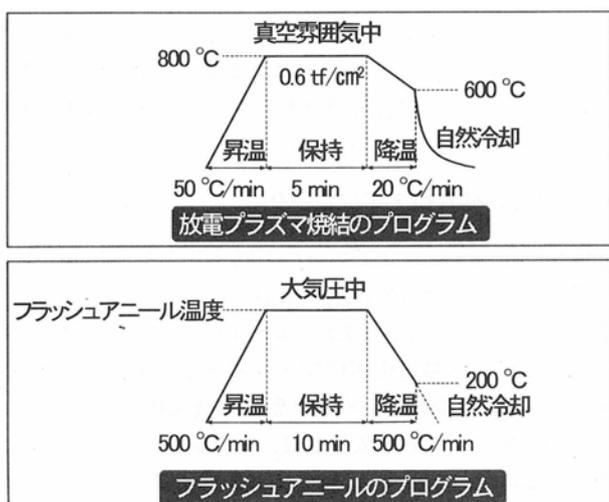


図5 SPSでの焼結プログラム(上)とフラッシュアニールのプログラム(下)。

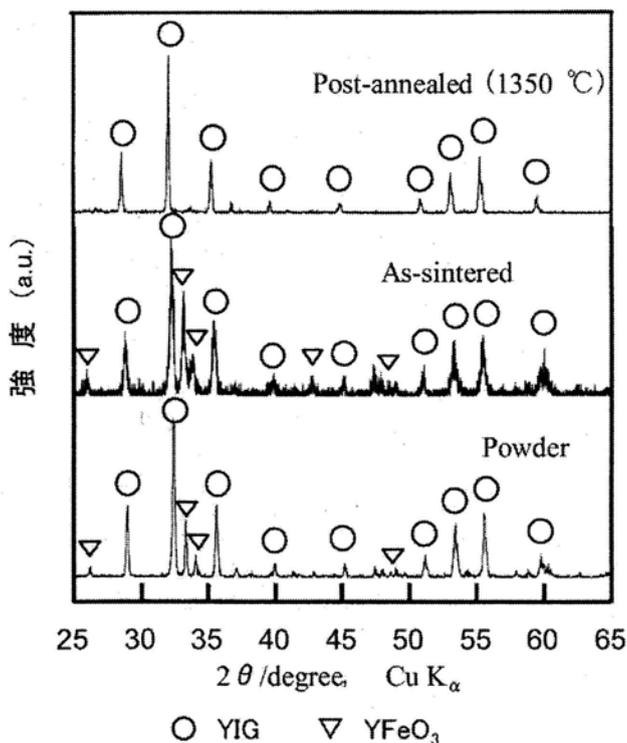


図6 原材料粉およびフラッシュアニール処理前後のYIGフェライト焼結体のXRDダイアグラム。

相が消失し、YIG フェライト単相になった。異相の消失は ΔH の減少に結びつく。また、アニール処理によって回折線のピーク強度が増し、ガーネット構造の結晶性が向上したことがうかがえる。SPS焼結したままの試料では $0.8\mu\text{m}$ であった平均粒径は、ポストアニールによって $3.0\mu\text{m}$ まで肥大した。これにともなって空孔も減少したものと推測される。空孔が減少することは、フェライト焼結体内の減磁

界の局所的な変動が少なくなることであり、 ΔH を減少させる上で好ましい。

図7に、飽和磁化と抗磁力(H_c)のアニール温度依存性を示す。800 °C以下のアニール処理では、飽和磁化はアニール前と比べて大きな変化はなかった。しかし、900 °C以上でアニール処理すると、飽和磁化は増加した。1350 °Cでアニール処理したSPS焼結体試料は、本実験と全く同じ磁性粉原料を用いて電気炉を使った通常の焼結法によって製造されたYIG焼結体とほぼ等しい飽和磁化の値を示した。飽和磁化の増加は主にアニール処理によって空孔が減少したことによるものと思われる。アニール処理によって抗磁力がアニール前の値(67 Oe)から7 Oeに減少することもわかった。

図8に、 ΔH のアニール温度依存性を示す。1350 °Cでのアニール処理によって、 ΔH は660 Oeから70 Oe程度にまで激減した。 ΔH の減少には、アニールによる異相(YFeO₃相)の消失がしたこと、および空孔が減少したことが効いていると思われる。

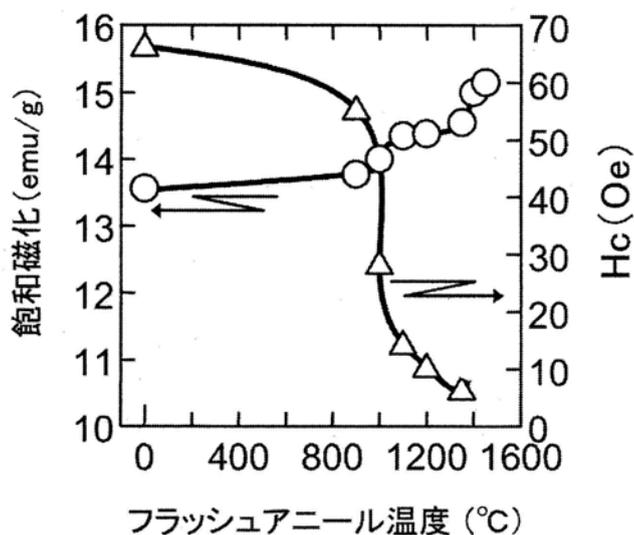


図7 飽和磁化と抗磁力(H_c)のフラッシュアニール温度依存性。

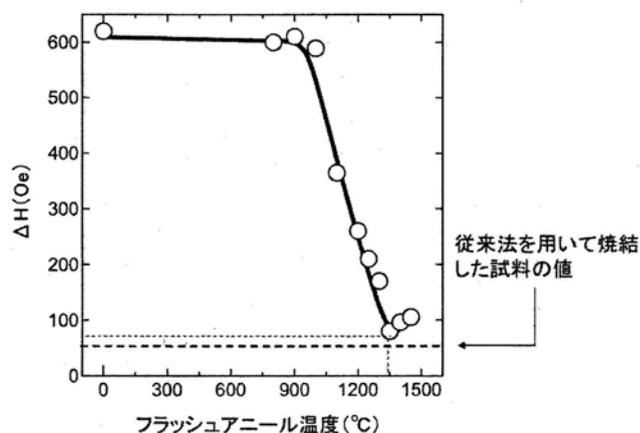


図8 ΔH のフラッシュアニール温度依存性。

原材料の仕込み量を変えて、厚みが 0.2~1mm の種々の YIG フェライト焼結体 (SPS 焼結し、その後、1350 °C でフラッシュアニール処理した) を作製した。図 9 には、その焼結体の ΔH と抗磁力 H_c を焼結体の厚みに対してプロットした。厚みが 0.2mm と薄い YIG フェライト焼結体を作製した場合でも、70 Oe 程度の小さな ΔH 値と 7 Oe 程度の小さな H_c が得られた。現行のアイソレータ製品には、 ΔH が 55~60 Oe 程度の YIG フェライト焼結体を使用されており、本法によって、ほぼ実用レベルの特性の極薄 YIG フェライト焼結体が製造できることが示された。本提案法で製造された YIG フェライト焼結体の写真を図 10 に示す。厚みが 0.2 mm と薄くても反りがほとんどないことがわかる。製造した焼結体は密度が 4.85 g/cm³ (空孔率は 2 %) と高く、YIG フェライト以外の異相は含んでいないので小さな ΔH が実現されている。こうして製造された焼結体は、表面を軽く研磨仕上げするだけで、アイソレータに組み込むことが可能である。

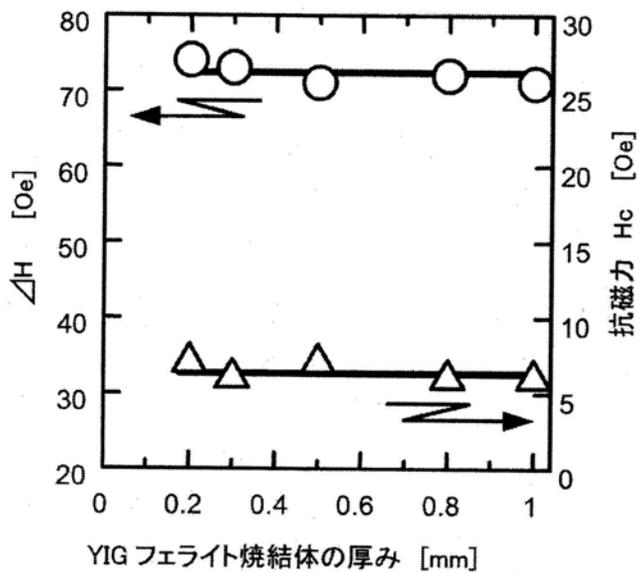


図 9 ΔH と抗磁力の焼結体厚み依存性。

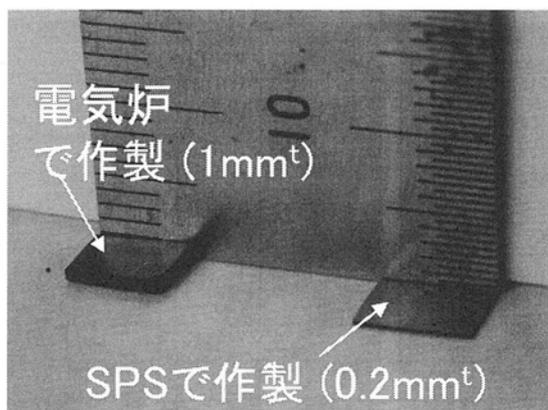


図 10 製造した YIG フェライト焼結体の写真。

以上述べたように、SPS 法とフラッシュアニールの組合せを用いれば、電気炉を用いた焼結法と比べてはるかに低い温度で YIG フェライト焼結体の製造が可能で、アニール処理まで含めても製造時間は電気炉による焼結の 1/25 程度に短縮されることがわかった。

4. 開発した低背型アイソレータ

SPS 法とフラッシュアニールの組合せで製造した 0.3 mm 厚の YIG フェライト焼結体を使用し、シミュレーションによる設計に基づいて、背丈が 1 mm のアイソレータを試作した。バイアス磁場発生用のフェライト永久磁石としては日立金属(株)製の最新の磁石 (型番: YBM-9BE) を使用した。一般に、フェライト永久磁石は、0.2 mm 程度にまで薄くすると着磁の際に割れてしまうという問題点があったが、磁石 (型番: YBM-9BE) は機械的強度に優れ、この問題を回避できた。

試作したアイソレータの写真を図 11 に、実測した伝送特性を図 12 に示す。非可逆的な伝送特性を示す周波数は約 5.6 GHz、挿入損失は 0.7 dB、アイソレーションは 20 dB であり、アイソレータとしてはほぼ実用レベルの良好な伝送特性が得

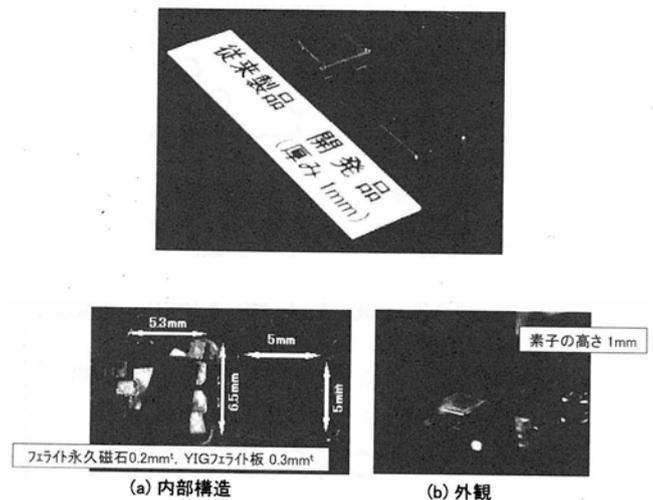


図 11 開発した低背型アイソレータの写真。

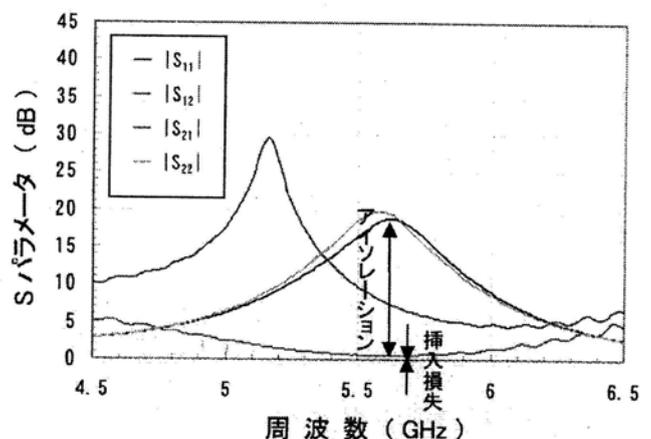


図 12 開発した低背型アイソレータの伝送特性 (実測値)。

られた。

今回開発したアイソレータは、従来の製品と比較してシンプルな構造であるため、製造コストの点でも、歩留まりの点でも有利であると思われる。

5. おわりに

背丈が1 mm (従来製品の約2/3) という大幅な低背化を達成したアイソレータを開発した。これによって、携帯電話端末や無線LANなどの通信機器の薄型化・多機能化がさらに進むことが期待される。この低背型アイソレータは、バイアス磁場印加用の磁気回路の新設計とフェライト材料の適正な選択、高周波電磁界解析による素子の新規構造設計、極薄のYIGフェライト焼結体の製造方法の開発によって実現された。極薄のYIGフェライト焼結体の製造方法としては、SPS法とフラッシュアニールを組み合わせる方法が提案され、その有効性が実証された。

SPS法はYIGフェライトのみならず、他の電子セラミックス材料の極薄焼結体の製造にも適しているものと思われる。今後、SPS法を活用して種々の電子デバイスの開発が進むことを期待したい。

謝辞

本研究は、経済産業省地域新生コンソーシアム研究開発事業「モバイル情報通信機器用フェライトの薄型化技術開

発」として、日立金属(株)の村上志郎氏、藤井重男氏、三上秀人氏の協力を得て実施されたものである。阿部正紀東京工業大学教授、直江正彦東京工業大学名誉教授、中村慶久東北大学教授、篠原 肇東京電機大学教授、日立金属(株)先端エレクトロニクス研究所長の山内清隆氏(現所属(株)NEOMAX)には、終始激励と貴重なアドバイスをいただいた。常日頃より議論いただいている山口大学の松浦 満教授、栗巣普揮助教授、大城和宣助手にもこの場を借りて感謝する。

引用文献

- 1) S. Yamamoto, M. Matsuura and K. Yamauchi: Ninth International Conference on Ferrites (ICF-9), Meeting Guide, ICF9-GB-2-2004 (2004) 63.
- 2) K. Oshiro, S. Yamamoto, K. Shitamitsu, H. Kurisu, M. Matsuura, H. Mikami, S. Murakami, S. Fujii: Ninth International Conference on Ferrite, ICF-9, Proceedings of the 9th International Conference on Ferrite (ICF 9), The American Ceramics Society (2005) 769-774.
- 3) 山本節夫, 大城和宣, 栗巣普揮, 松浦 満, 三上秀人, 藤井重男: 日本応用磁気学会誌, **29-2** (2005) 66-71.
- 4) 市川耕司, 三上秀人: マテリアルインテグレーション, **12-6** (1999) 5.
- 5) 小西良弘: マイクロ波技術講座 - 理論と実際 - 第4巻, 日刊工業新聞社, (2001) 125.
- 6) 鴫田正雄: 粉体工学誌, **30** (1993) 790.
- 7) 鴫田正雄: ニューセラミックス, **10** (1997) 43.