

デルタ変調録音装置 (第2報)

— 再生系回路と総合特性 —

西川正明*・永富和行**・古前仁司***・糸山喜勝****

Digitalized Audio Recording Adapter Utilizing Delta Modulation Method (2nd Report)

— On the Playback System and Overall Characteristics —

Masaaki NISHIKAWA, Kazuyuki NAGADOMI, Hitoshi KOMAE
and Yoshikatu ITOYAMA

Abstract

A digitalized audio recording adapter utilizing adaptive delta modulator for A/D conversion was trially manufactured. This report describes the design of its playback part and estimated overall record-playback characteristics.

The digital code reproduced from recording VTR includes 150 serial data bits for each horizontal scanning period. After serial to parallel conversion, the data bits are written to the buffer memory in intermittent mode, and read out from it in continuous mode. Read out data are then added to adaptive delta demodulator. Adaptive delta demodulator performs parallel to serial conversion in 1.1025 Mbit/s serial rate and D/A conversion.

Measured overall frequency response gave flat curve under the designed demodulator cut off frequency of 8 kHz at the critical overload input level, and 6 dB/oct. dropping characteristics under the cut off frequency. Signal to noise ratio was about 62 dB in low frequency range.

1. まえがき

先報¹⁾でデジタル化録音の簡易な方式としてデルタ変調録音方式を提案し、その方式設計と記録系回路の試作概要について報告した。デルタ変調録音方式は、差分PCM方式の量も簡単な形式であるデルタ変調技術を使用して録音アナログ信号をデジタル符号に変換し、これを記録媒体にデジタル記録する方式である。本方式を通常のPCMデジタル化録音方式とくらべると、ビット誤りの影響が少ないため、PCM録音方式のような高度の誤り訂正技術を用いる必要がなく、回路の単純化がはかれる。

本報では、このデジタル化録音方式について、先報の記録系に引き続いて試作した再生系回路の概要と、全体を通じた記録・再生特性の測定結果について報告する。

2. 方程式設計の主要点

先報と重複するが、説明の便宜のためここで全体の方式設計の主要点をまとめる。

ここでは、記録機構として市販のカセット形家庭用VTRをそのまま使用し、これに接続する2チャンネルデルタ変調記録・再生アダプタを実現することを目標としている。

Fig. 1に記録・再生アダプタの全体構成を示す。上半が記録系、下半が再生系のブロック構成である。記録系では、まず、各チャンネルの録音アナログ入力信号を適応形デルタ変調器(Adaptive Delta Modulator

* 電気工学科

** 大学院 電気工学専攻 (現在日本電気)

*** 大学院 電気工学専攻 (現在松下電器)

**** 大学院 電気工学専攻

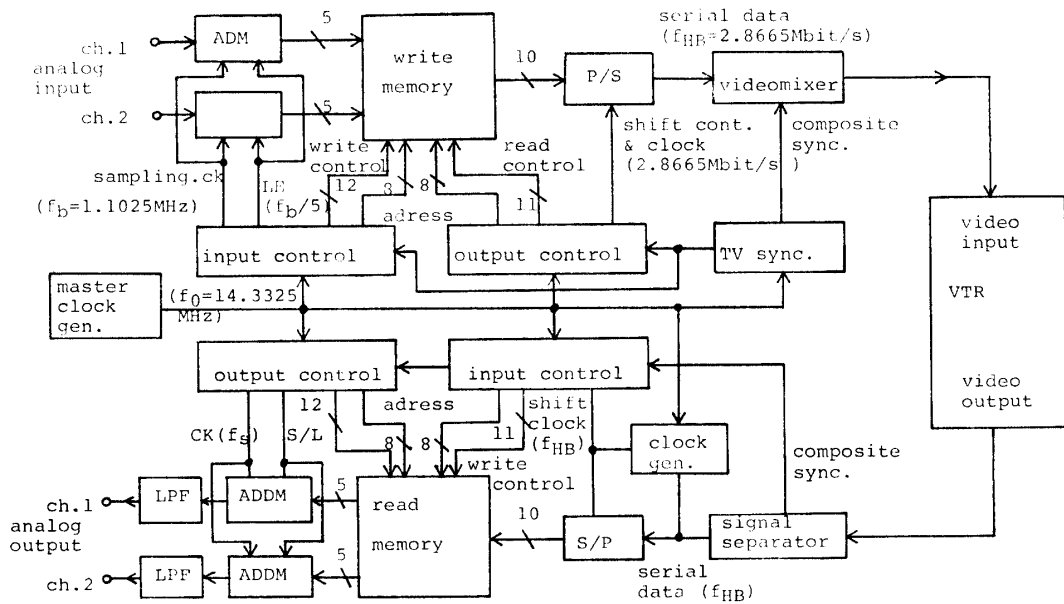


Fig. 1 Overall block diagram of the trial recording-playback adapter.

—ADM—)により標準化周波数 f_b で標準化し、デジタル符号列に変換する。ADM の出力は便宜上、5ビット1チャンネルの並列符号に直し、2チャンネルで10ビットを1語として次のライトメモリに連続的に書込む。ライトメモリは連続的な書き込み情報を蓄え、VTRの同期信号期間を避けるように間欠的に読出するためのバッファであり、容量はVTRの1水平走査期間(1H)に記録する語数、15語(150ビット)の35H分、525語を1ブロックとした3ブロックとしている。ライトメモリから読出したデータを並直列変換器(P/S)で直列符号に直し、これにTV同期信号発生器で作成したTV垂直及び水平同期信号を所定の時刻に挿入して、擬似映像信号としてVTRの記録入力に送出する。この送出信号のデータビットレートは f_{HB} である。

Fig. 2 に、VTR へ送出する擬似映像信号の1水平

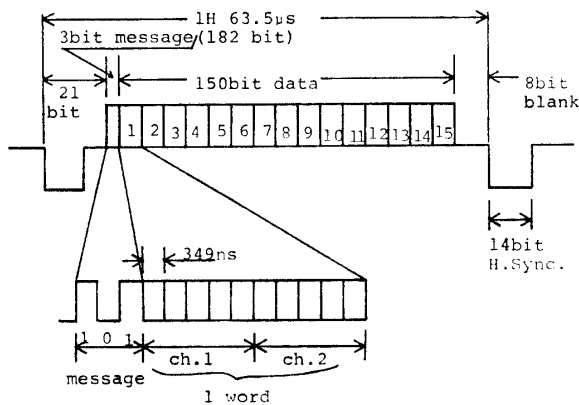


Fig. 2 Tape recording format in a horizontal scanning period of VTR.

期間(1H)における記録フォーマットを示す。すなわち、1Hを182ビットで構成し、そのうち150ビットをデータの15語に割当てている。データ語は1チャンネル5ビットのデータが各チャンネル交互に配列される。データの前に14ビット相当の水平同期信号と7ビットの空きと3ビットのメッセージを付加し、また、データの後に8ビットのブランクを設けている。

ADMではS/N比と過負荷特性の相反性を補うため、デジタル検出器により局部復号器の積分シャ断周波数 f_c を符号系列に応じて変化させる適応制御を行うようにしている。ADMの標準化周波数 f_b と局部復号器積分シャ断周波数 f_c は、量子化雑音、ダイナミックレンジ、及び過負荷特性に関係する。また、 f_b とVTRへの送出データのビットレート f_{HB} は同期動作のため、基準発振器の発振周波数 f_0 と整数比関係になければならない。さらに f_{HB} はVTRの分解能やドロップアウト特性により上限が抑えられる。これらを考慮してここではこれらのパラメータをTable 1のように定めた。その根拠については先報を参照されたい。

再生系は、VTRから再生される。Fig. 2のような擬似映像信号を入力として、記録系とはほぼ逆の過程をへて2チャンネルのアナログ信号に復元するものである。すなわち、Fig. 1の下半に示すように、まず、信号分離回路によってVTRからの擬似映像信号を同期信号とデータ信号とに分離する。データは次の直並列変換器(S/P)により1語10ビットの並列符号に変換される。変換のためのビット同期クロックは図でわかるように基準発振器の信号を利用してクロック発生器で作

Table 1 Recording System Parameters

ADM Sampling freq. f_b	ADM local decoder cutoff freq. f_c	recording data bit rate on VTR f_{HB}	master clock freq. f_0
1.1025 Mbit/s	0.8, 1.6, 4, 8 kHz	2.8665 Mbit/s	14.3325 Mbit/s

るが、クロックの位相はデータ符号の変換点ごとに修正するようにして VTR のジッタによる同期外れを防ぐ。S/P の並列出力は次段のリードメモリに一旦蓄え、その出力からは連続した時系列信号として読出す。メモリの読出し信号は5ビットずつ対応したチャンネルの適応形デルタ復調器 (Adaptive Delta Demodulator) に与えられ、ここでアナログ信号に復調される。この復調信号は標準化雑音成分を含むため、最後に低域フィルタ (LPF) によりこれを除去して記録入力と同じアナログ信号に復元する。

3. 再生系回路の試作

上述のブロック構成にもとずき再生系回路を試作した。本章ではその主要部について述べる。

3.1 信号分離と S/P 変換

VTR の擬似映像信号から、同期信号とデータとを分離するため、ここではラインレシーバ SN 75107 を用いた簡単な信号分離回路を使用した。分離した波形を Fig. 3 の写真に示す。また、信号分離回路には微分ゲートを含ませてデータの符号変換点ごとに微分パルスを発生させ、これをクロック発生器に送ってクロック位相修正を行うようにした。

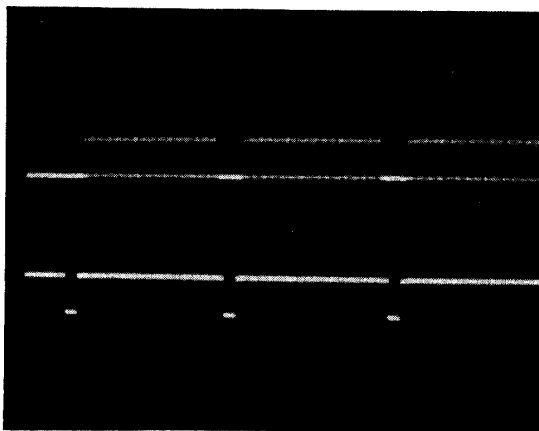


Fig. 3 Separated synchronizing signal (lower) and data bits (upper). (5 V/div., 20 μ s/div.)
upper: data bits
lower: synchronizing signal

S/P 変換器は8ビットシフトレジスタ、SN 74164 を2個利用して10ビット組の直並列変換を行わせた。シフトクロックはクロック発生器で発生した $f_{HB} = 2.8665$ M bit/s のパルスで、直列データ符号列の各ビットの中心点に与えられる。なお、次段のリードメモリに書込む際のメモリアクセス時間の余裕をとるため、シフトレジスタの出力はラッチ回路 (SN 7475) によって各語ごとに保持するようにした。

3.2 リードメモリ

リードメモリは、S/P 変換器から送出される間欠的なデータを書込み、これを連続データに変換して読出すもので、間欠書込み速度は 2.8665/10 M Word/s、連続読出し速度は 2.2050/10 M Word/s である。

メモリ構成は、先報で述べたライトメモリと同一である。すなわち、メモリチップは static RAM, μ PD 2101 A (4 bit \times 256 Word) で、これを1ブロック当り9個使用して 10 bit/Word \times 525 Word のメモリブロックを構成する。525 Word は VTR の 35 H 分のデータに相当する。全体としてはさらにこのメモリブロックを3ブロック使用し、各ブロックの書込みと読出しが重ならないように制御している。

3.3 適応形デルタ復調器 (ADDM)

Fig. 4 に ADDM の回路を示す。入力部のシフトレジスタ、SN 74166 はリードメモリから送出されるチャンネル当り5ビットの並列データを直列データに変換するもので、そのシフトクロックは基準発振周波数、 $f_0 = 14.3325$ M bit/s を 1/13 分周した 1.1025 M bit/s のパルスである。

ADDM の復調部は、先報で述べた適応形デルタ変調器からコンパレータとデジタル符号器を除いたものと同じであり、デジタル符号列の状態を判断するデジタルデテクタ部と復調用積分器より成る。積分器は図に示すように、シャ断周波数 $f_c = 0.8, 1.6, 4, 8$ の4段階切替積分器になっており、その切替は、符号列により動作するアップダウンカウンタ、SN 74193 と、その出力にある 2/4 進変換器と、3ステードバッファ、SN 74126 による切替器によって制御される。

Fig. 5 の上段に ADDM の復調波形の写真例を示す。

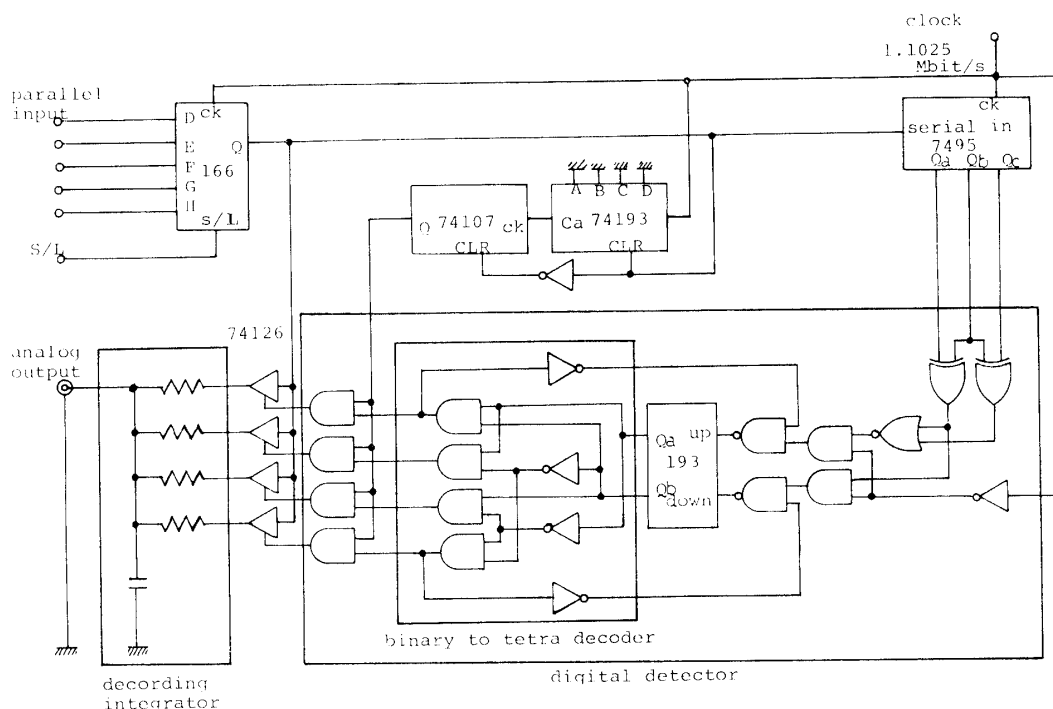


Fig. 4 Circuit diagram of the adaptive delta demodulator.

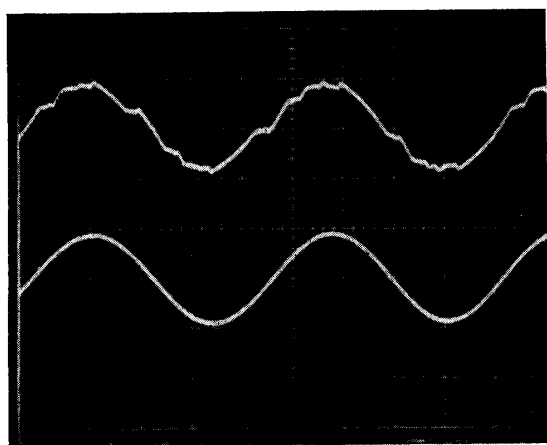


Fig. 5 Waveform of ADDM output (upper) and filter output (lower). (0.5 V/div., 20 μ s/div.)
upper: ADDM output (10 kHz)
lower: filter output

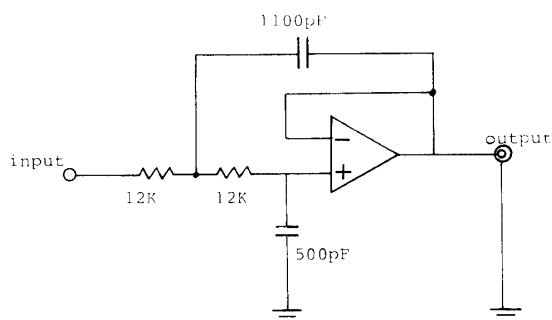


Fig. 6 Output low-path filter.

3.4 出力低域フィルタ (LPF)

ADDM に含まれる雑音成分を除去するため, Fig. 6 に示すような 2 次アクティブフィルタを使用した. 雑音のスペクトルは元信号より十分高い周波数域にあるため, フィルタはさほど急峻なシャ断特性をもつ必要はない. シャ断周波数は 20 kHz に設計した.

Fig. 5 の下段にフィルタを通った後の出力波形の写真例を示す.

3.5 再生系のコントロール部

再生系コントロール部は, 再生系の各回路を同期的に動作させるための各種の制御パルスを作るものであり, Fig. 1 にも示したように, 入力コントロールと出力コントロールとに大別される.

Fig. 7 はこの部分を取り出して各部で発生する制御パルスを示したものである. 入力コントロールは, VTR からの擬似映像信号に含まれる直列データを並列データに変換してリードメモリの各番地に書込むまでの各種制御パルスを作るもので, 各制御パルスのレートは VTR からくるデータレートに從属する. ここで作られる制御パルスは, S/P 変換のシフトクロック (2.8665 M bit/s), S/P 変換の並列データを保持するラッチイネーブル (LE, 周期 $1/(2.8665/10) \div 3.5 \mu$ s), リードメモリのメモリチップを選択するチップセレクト ($\overline{CS_2}$), 番地を指定するアドレス信号, メモリに書込むためのライトイネーブル (WE) である.

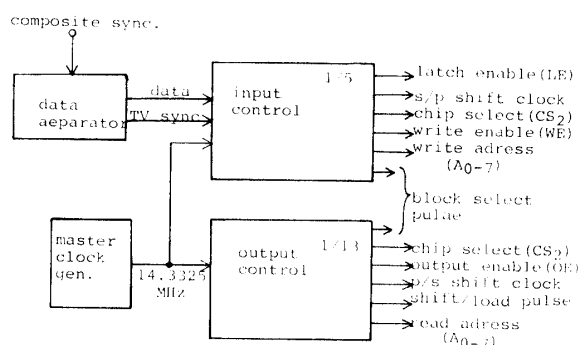


Fig. 7 Outline of the control part of the playback system.

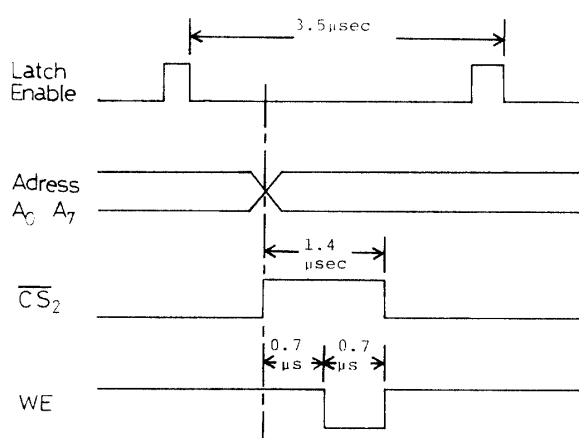


Fig. 8 Timing diagram of the read memory input control.

Fig. 8に LE から WE までのタイミングを示す。すなわち、LE により S/P 変換の並列出力を約 3.5 μs 周期で保持し、その期間内に逐次、アドレス信号、 \overline{CS}_2 及び WE を与えてデータをメモリの指定番地に書込む。

出力コントロールは、リードメモリの内容を連続的に読出し、ADDM の入力レジスタにロードして直列データとするまでの各種制御パルスを作るもので、本試作では、これら各制御パルスのレートは基準発振周波数 f_0 に従属するようにした。ただし VTR の速度に記録時と再生時に平均的な差異が生ずると、このような構成ではリードメモリの書込みと読出し量が時間的に不一致を来す恐れがあるため、出力コントロールの平均レートを VTR の速度変化に応じて修正する必要がある。

出力コントロールで作られる制御パルスは、Fig. 7 に示したように、メモリ番地を指定するアドレス信号、メモリチップを選択するチップセレクト (\overline{CS}_2)、メモリから読出するためのアウトプットイネーブル (OE)、ADDM の入力レジスタを動作させるシフト・ロー

ドパルス (S/L)、及びそのシフトクロック (SK, $f_b = 1.1025 \text{ M bit/s}$) である。Fig. 9 に S/L、アドレス、 \overline{CS}_2 , OE のタイミングを示す。これらの周期は1語の連続読出し周期、 $1/(2.2050/10) \div 4.5 \mu\text{s}$ であり、 \overline{CS}_2 が“H”, OE が“L”の状態ではメモリからデータが読出され、ついで ADDM の入力レジスタの S/L のロード信号で読出データがレジスタにロードされる。ついで S/L がシフトに切替り、 $f_0 = 14.3325 \text{ M bit/s}$ を 1/13 分周して作った 1.1025 M bit/s の SK により直列符号に変換する。

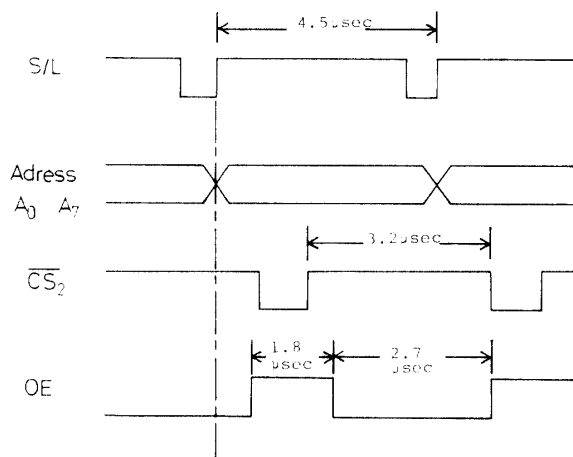


Fig. 9 Timing diagram of the read memory output control.

4. 総合特性

先報の記録系とあわせて Fig. 1 に示したように記録・再生アダプタを構成し、記録入力から再生出力までの総合的な記録・再生特性を測定した。

4.1 周波数応答特性と波形応答特性

デルタ変調方式では、回路の特質から周波数応答特性は入力レベルによって変化する。入力レベルが過負荷点にあるときは、先報で述べたように、信号周波数 f_s に対する応答 V は直流応答 V_0 に対して

$$V/V_0 = 1/\sqrt{1 + (f_s/f_c)^2}$$

なる特性を示す。ただし、 f_c は ADM の局部復号器の積分しゅ断周波数である。本試作では適応形制御により f_c を 0.8~8 kHz に切替えているが、信号周波数が高くなるにつれて f_c は順次高い方へ切替わるので、過負荷点レベルにおける周波数応答特性は結局、8kHz を折点周波数としてそれ以上は -6 dB/oct で減衰する特性を示すことが予想される。

入力レベルが過負荷点レベルより低い場合には、同

じ時間傾斜率となる周波数は高くなるため、周波数応答特性の平坦域はそれだけ高域にのびる。

Fig. 10 は録音入力レベルを 0 dB (過負荷点), -6 dB 及び -15 dB として入力信号周波数に対する再生出力の変化を実測した結果を示す。予想どおり, 0 dB 入力では 8 kHz 付近から応答が低下するが, 低レベルでは平坦域がのびていることがわかる。なお, 20 kHz 以上は再生系の出力低域フィルタの特性によって応答が制限されている。

Fig. 11 は 1 kHz 方形波入力に対する再生波の波形応答を測定した結果を示す。周波数応答が直流までのびているため, 波形応答のサグは見られない。また, 立上り, 立下り, は, 復号用積分器の時定数でできる追従誤差のためやや劣化している。

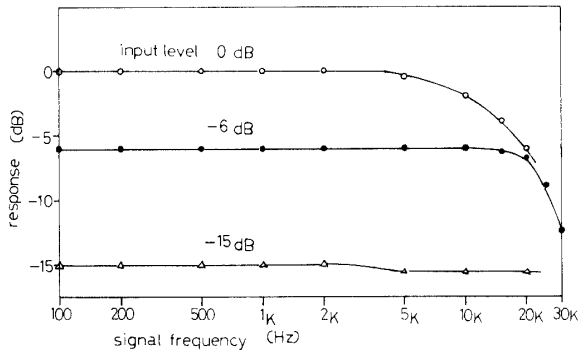


Fig. 10 Overall frequency response.

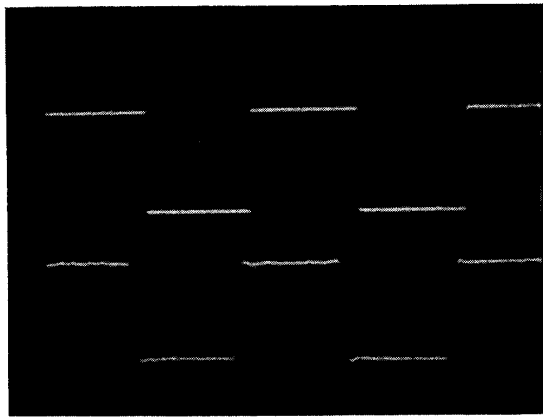


Fig. 11 Waveform response to 1 (kHz) square wave input.

upper: square wave input (1 kHz), (1 V/div., 0.2 ms/div.)

lower: output signal (0.5 V/div., 0.2 ms/div.)

4.2 SN 比

Fig. 12 は本装置の SN 比の実測結果を示す。測定は, ナショナル VP 7702 B SN 計で行い, 0 dB 入力

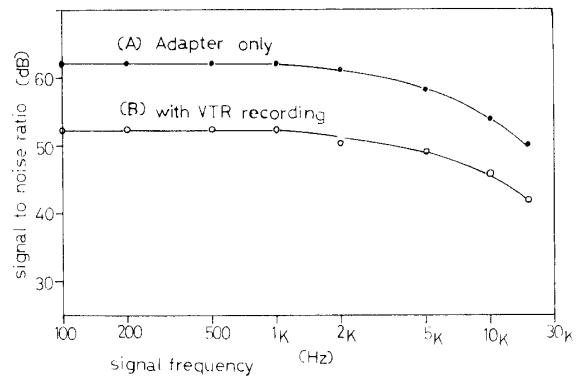


Fig. 12 Measured signal to noise ratio.

における再生出力と, 入力を断ったときの雑音レベルの比をとったものである。図の (A) は記録・再生アダプタのみ, すなわち, アダプタの記録系出力を, VTR に記録することなくそのまま再生系入力に直接つないだ場合の特性を示し, (B) は記録系出力を VTR に入力し, VTR 出力を再生系に入力した場合の特性を示す。

(A) の場合には, 数 kHz 以下の領域では 60 dB 以上の SN 比を示しており, この値は先報に示した復号用積分器の最低シャ断周波数, 0.8 kHz の場合の計算値にほぼ近い。(B) の場合には, 図に見られるように, 全体として (A) の場合から約 10 dB 程度 SN 比が低下している。これは, VTR を通すとその再生信号にジッタ, レベル変動, あるいはドロップアウトが含まれ, また VTR の記録と再生時の速度も完全に一致しないため, 回路の誤動作が起っていると考えられる。今後, これらに対する回路の動作マージンの改善が必要である。

4.3 試聴結果

試作アダプタと VTR とを組合わせて楽音を記録・再生し, 主観的な試聴試験を行った。高域音にはその伸びにやや不満があり, また大出力時における再生音の迫力にやや不足が感じられた。これらは楽音の高域に高いスペクトラムがあると過負荷特性によりその応答が制限されるためと考えられる。

VTR のドロップアウトによるビット誤りの影響は, 特別な誤り訂正対策を施していないにもかかわらず, PCM 録音の場合のようなクリック性雑音がさほど目立たなかった。しかし, バースト性ドロップアウトによる雑音に不満があり, 少なくともインタリーブ方式を用いてバースト性誤りの分散化をはかる必要はあると判断された。

断された。

5. むすび

家庭用 VTR を利用して適応形デルタ変調方式による簡易なデジタル録音を行うことを提案し、その記録・再生アダプタを試作した。これを最近実用化されている PCM 録音方式²⁾と比較すると、PCM 録音方式のように厳密な符号誤り訂正は必要としない反面、同じクロックレートでは PCM 録音方式のような高忠実度と高いダイナミックレンジは得られない欠点がある。

本試作では、第1段階として誤り対策を何等施さない場合を試みたが、試聴結果から、VTR のバースト性ドロップアウトに対処するためインタリーブ方式を適用してバースト誤りの分散をはかる必要があると判

終りに、本試作に協力された本学技官桐原昭雄氏と学生堂面俊則君（現富士電機）及び久我嘉明君（現クラリオン）に謝意を表する。

参 考 文 献

- 1) 西川正明, 永富和行, 古前仁司, 糸山喜勝: デルタ変調録音装置 (第1報) — 方式設計と記録系回路 —, 山口大学工学部研究報告, **30**, 249 (1980)
- 2) たとえば, 十楚博美: 家庭用 VTR を利用する PCM オーディオアダプタの規格標準化, 日経エレクトロニクス, 1979. 8. 20., 185

(昭和55年4月15日 受理)