

PCM 録音装置の試作 (第2報)

—再生系回路と総合特性—

西川 正明*・永富 和行**・古前 仁司**

Trial Construction of a PCM Recording Adapter (2nd Report)

—On the Playback System and Overall Characteristics—

Masaaki NISHIKAWA, Kazuyuki NAGADOMI and Hitoshi KOMAE

Abstract

A PCM audio recording adapter which can be used in conjunction with the herical scanning type VTR has been constructed. This report describes the design of its playback part and the estimated overall characteristics throughout the recording and playback system.

The digital code reproduced from the VTR is composed of the 12 bits PCM code and the 4 check bits for each sampled data. After serial to parallel conversion of each data and code error checking, the net 12 PCM bits are stored to the FI/FO register having a capacity of 12 bits×64 stages for each channel. The stored PCM bits are read out successively in the constant PCM sampling rate of 44.1 kHz and converted to the analog signal by a usual current ladder type D/A converter. The final playback signal is obtained pathing through the following output low path filter.

The overall audio record-playback characteristics were estimated with respect to, for example, the frequency response, dynamic range, wave distortion, and impulsive noise caused by the code error. Nearly flat playback response ranging from zero to 19 kHz and the dynamic range of about 70 dB were obtained. The impulsive noise in the playback signal, however, was not sufficiently eliminated and the necessity of more complicated counterplan was confirmed to overcome the burst code error.

1. まえがき

従来の高周波バイアス録音方式の性能限界を打破する方法として最近 PCM 録音方式の実用化が各所で検討されている。筆者らはデジタル化録音方式の研究の一環として VTR を録音機構として利用する場合の PCM 録音再生アダプタについて具体的な試作を通じて問題点の検討を行っている。先報¹⁾においてその全体構成と記録系回路の設計及び動作結果について報告した。本報では引続いて試作した再生系回路の設計と記録系を通じた総合的動作特性の確認結果について報告する。

2. 方式設計の主要点

先報と重複するが記述の便宜上ここで本試作における方式設計上の主要なパラメータを列挙する。

設計目標としては

周波数特性：20 Hz～20 kHz

録音チャンネル数：2チャンネルステレオ

ダイナミックレンジ：70 dB 以上

使用録音機構：2ヘッドヘリカル走査形 VTR

(ソニー製ベータマックス SL-7100)

を想定している。

この目標を満すために記録系の諸パラメータは以下のように設定した。

PCM 標本化周波数：44.1 kHz

PCM 量子化ビット数：12 bit/標本

符号誤りチェック用ビット数：4 bit/標本

VTR への標本記録レート：約 64 kHz/ch

* 電気工学科

** 大学院電気工学専攻

VTR への直列記録ビットレート : 2.0475 Mb/s

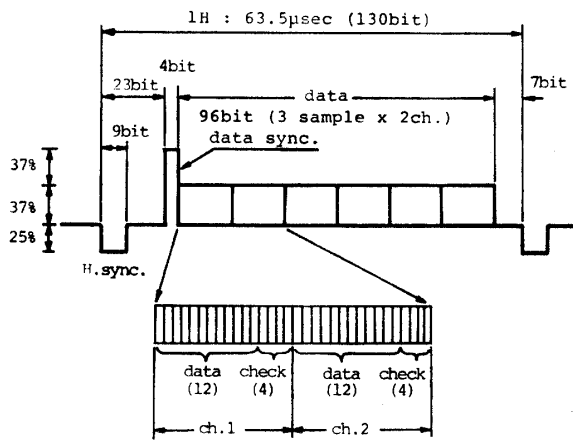


Fig. 1 Tape recording format.

VTR のテープ上の記録フォーマットは Fig. 1 のとおりとし、1H 期間に両チャンネルそれぞれ 3 標本分のデータ (合計 $(12+4) \times 2 \times 3 = 96$ bit) とデータシンク (4 bit 相当) を記録し、その他 30 bit 分を水平同期信号期間及び空き期間に割り振っている。試作装置の全体構成は Fig. 2 に示すとおりであって、上半面に示されている記録系回路によりまず 2 チャンネルの録音入力信号を A/D 変換し、各チャンネル 12 bit の並列デジタル符号を 44.1 kHz のレートで得る。この符号を一旦 R メモリに蓄え、VTR の水平走査の記録可能期間において各チャンネルについて約 64 kHz のレートで

間欠的に逐次読出す。ミクス回路 (Mix) で各チャンネルを交互にゲートしてチャンネル混合を行い、チェックビット発生器で各標本データに 4 bit のチェックビットを加える。このようにして得た 16 bit/標本の並列データ符号を P/S 変換器で直列デジタル符号に直し、さらに TV 同期信号とデータシンクを Fig. 1 に示した時間関係で付加しつつ VTR の記録端子に入力する。

3. 再生系回路の試作と動作

3.1 再生系の概要

再生系のブロック構成は Fig. 2 の下半面に示すとおりである。VTR に記録した Fig. 1 のような信号は VTR 内部の特性によって若干の波形歪を受けてその出力端子に再生される。VTR の波形歪の状況を Fig. 3 に示す。

再生アダプタではまずこの信号を同期信号分離回路に加え、TV 同期信号を除去し整形した直列データ符号 (1 標本当たり 16 bit) とデータシンクを直/並列変換器 (S/P) 及びクロック発生器に加える。クロック発生器では後述のようにデータシンク及びデータ符号自身によって位相を補正しながら S/P 変換のシフトクロック (2.0475 Mb/S) を作る。S/P 変換器ではこのシフトクロックによってビット同期をとり入力の直列データ符号を並列データ符号に変換する。この 1 標本当たり 16 bit の並列データ符号を誤り検出回路に送っ

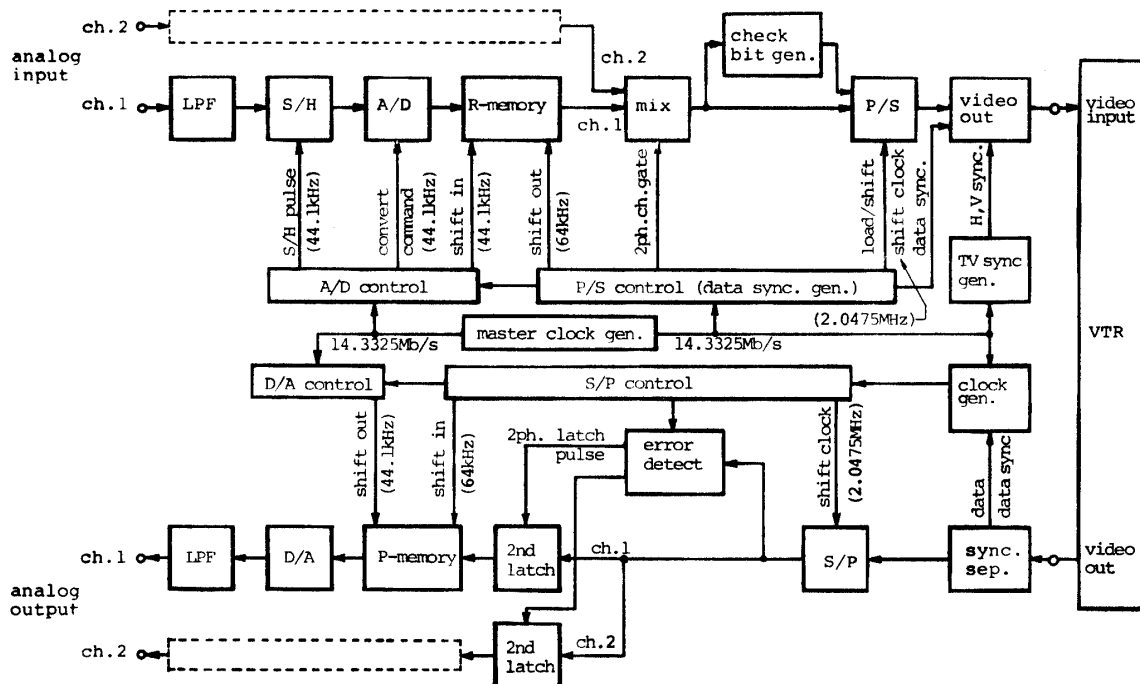


Fig. 2 Block diagram of the trial PCM recording adapter.

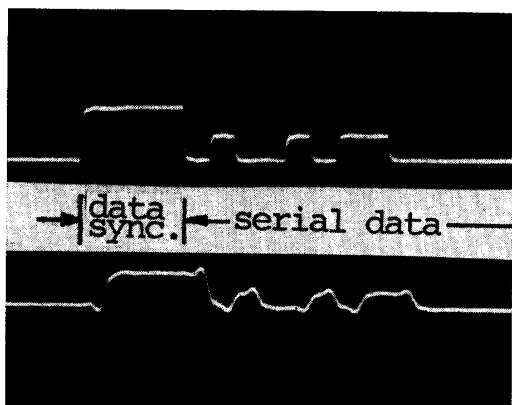


Fig. 3 Input and output wave form of the VTR.

upper: input signal of VTR
 lower: output signal of VTR
 (1 V/div, 0.9 μ s/div)

て誤りをチェックするとともに、そのうちの正味の情報 12 bit をラッチ回路へ送出する。

ラッチ回路はデータに誤りがあった場合前値をホールドさせる機能をもたせるために設けたもので、前記の誤り検出回路で誤りがないと判断したときのみラッチパルスを発生し、その時点でのラッチ回路入力データを出力に送出する。誤りが発見された場合にはラッチパルスは発生されず、ラッチ回路出力のデータは前値にホールドされる。なお、ラッチ回路以降は Fig. 2 に見るように両チャンネルに振分けられ、振分け動作はラッチパルスを 16 bit ごとに両チャンネルに切替えることで行っている。

ラッチ回路出力は S/P 系コントロールで作られるメモリシフトインパルスによって P メモリに読み込まれる。P メモリは記録系における R メモリと逆の機能を果たすもので、約 64 kHz で読み込まれる間欠的なデータを一定の標準化周波数 44.1 kHz で連続的に読み出し次段のデジタルアナログ変換器 (D/A) に送出する。D/A では入力される 12 bit の情報符号の組合せによってアナログ信号にこれを変換する。変換された階段状の信号を出力ローパスフィルタ (LPF) に加えて補間し、原信号に復元する。

3.2 再生系の主要回路と動作

3.2.1 クロック発生器と P/S 変換器

クロック発生器は S/P 変換器へのシフトクロックを作りビット同期をとる機能を果たす。Fig. 2 を参照して基準発振器 (master clock gen.) の発振周波数 14.3325 Mb/S を 7 分周して 2.0475 Mb/S のシフトクロックを作るが、その位相を VTR からの直列データ符号の各ビットのほぼ中心にするため、ここでは Fig.

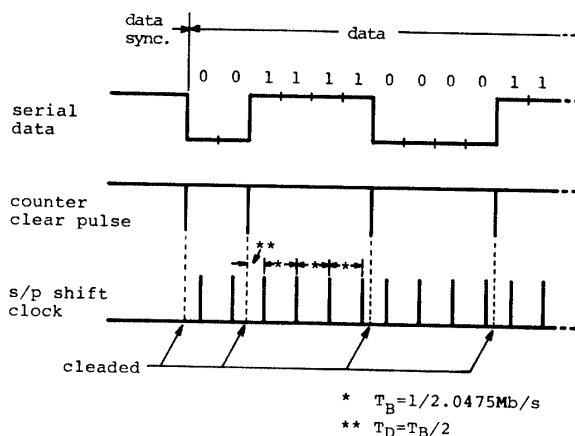


Fig. 4 Generation of the S/P conversion shift clock.

4 に示すようにクロック発生器の 7 分周カウンタをデータシンク及びデータ符号の各変換点ごとにクリアし、この時点ごとにシフトクロックの位相を調整して VTR 出力のジッタによるビット同期外れを防ぐように構成した。この場合、データ符号の変換点が高い区間にわたってない場合にはシフトクロックはデータ符号のレートと独立な基準発振器の 7 分周レートで与えられるためジッタ補償作用が失われる。しかし本試作では先報で述べたように記録時において各標本ごとに MSB の反転ビットをチェックビットの最後に付加しているため、最悪でも 16 bit 目には変換器が現われ補償作用が回復する。これで十分か否かは VTR のジッタ特性の調査にまたねばならない。

S/P 変換器としては 8 ビットシフトレジスタ SN 74164 を 2 個直列に接続する構成をとり、これに同期信号分離回路から送られる直列データ符号と前記のシフトクロックを加えて各標本ごとに 16 bit の並列ディ

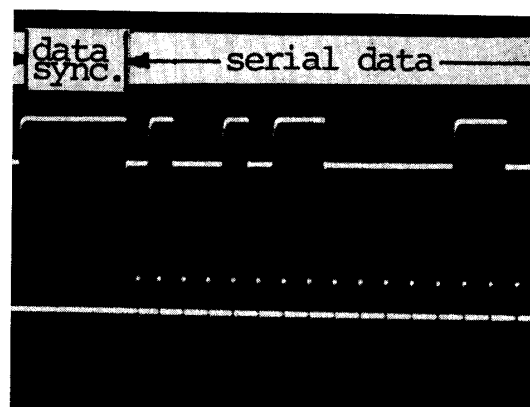


Fig. 5 Wave form of the serial data and shift clock of the S/P converter.

upper: serial data
 lower: shift clock
 (5 V/div, 0.9 μ s/div)

デジタル符号を得る。Fig. 5 に S/P 変換器に加わる直列データ符号とシフトクロックの波形写真例を示す。

3.2.2 誤り検出回路

誤り検出用のチェックビットとしては先報で述べたように各標本データごとにその H レベル群計数ビットを 3 bit と情報の MSB ビットの反転を 1 ビット、計 4 bit を付加している。

再生系でこれをチェックするため、S/P 変換された 16 bit/標本の並列符号のうち、正味の情報 12 bit について先報の記録系におけるチェックビット発生器と全く同じ回路によりその H レベルビット数を計数し、下 3 けたをとって各ビットを Ex-OR 回路により記録時に付加されてきた群計数の 3 ビットと照合した。また MSB ビットの反転についても同様に Ex-OR 回路により記録時に付加されてきたそれと照合した。これらの 4 個の Ex-OR の出力を AND ゲートに加え、照合がいずれも正しくとれている場合にのみ AND ゲート出力を得てこれをラッチパルスとしてラッチ回路に送出するように構成した。

3.2.3 ラッチ回路

ラッチ回路はラッチパルスの有無によって入力データをそのまま出力に伝えるかあるいは前値をホールドするかを決めるもので、ここでは 4 ビットラッチ SN 7475 をチャンネル当り 3 個並列に使用して S/P 変換器から送られる正味の情報 12 bit/標本をラッチすることとした。

実際にはラッチ回路を第 1、第 2 の 2 段構成にし、第 2 ラッチはチャンネルごとに 1 組づつ設けた。第 1 ラ

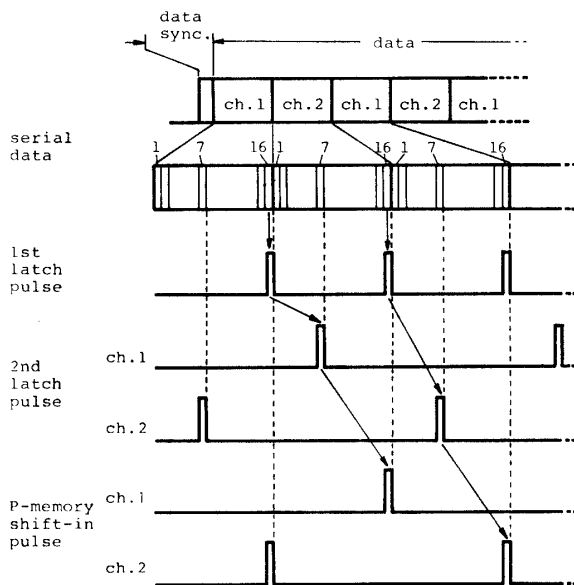


Fig. 6 Time chart of the 1st/2nd latch pulse and P-memory shift-in pulse.

ッチを記けた理由は誤り検出回路から与えられるラッチパルスとデータ符号のタイミング関係を考慮したもので、Fig. 6 に第 1 及び第 2 ラッチパルスの時間関係を示す。すなわち S/P 変換器でたとえば ch. 1 の標本の並列符号化が終わった時点で第 1 ラッチパルスを送出して ch. 1 のその時点のデータを 2 組の第 2 ラッチ回路へ出力するとともに、そのデータの誤り検出を誤り検出回路で行う。誤りが検出されなかった場合にはつぎの標本データの 7 bit 目に当たるタイミングで第 2 ラッチパルスを ch. 1 側の第 2 ラッチ回路に与え、データを ch. 1 の出力へ送出する。もちろん誤りが検出された場合には第 2 ラッチパルスは与えられないから、第 2 ラッチの出力は前値にホールドされたままである。ch. 2 のデータについても同様で、この場合第 2 ラッチパルスは ch. 2 側の第 2 ラッチ回路に与えられるように構成し、これで各データのチャンネル振り分けを行わせた。

3.2.4 P メモリ

ラッチ回路から送られるデータは VTR の同期信号挿入期間で途切れる間欠的な信号である。この間欠データ信号を一定の標本化周波数 44.1 kHz の連続信号に直すのが P メモリの役目である。

P メモリの記憶容量は先報の R メモリとほぼ同様であるが、VTR のフラッタを吸収するに要する分を加えねばならない。ここでは記憶素子として R メモリと同様に FC 社の FI/FO レジスタ、F 3341 (4 bit × 64 段) をチャンネル当り 3 個並列にしてメモリを構成し、12 bit/標本のデータを 64 標本分蓄えることとした。この容量のうち 54 標本分が VTR の同期信号挿入によるデータの中断を補う分であり残り 10 標本分がフラッタ吸収に対する分である。

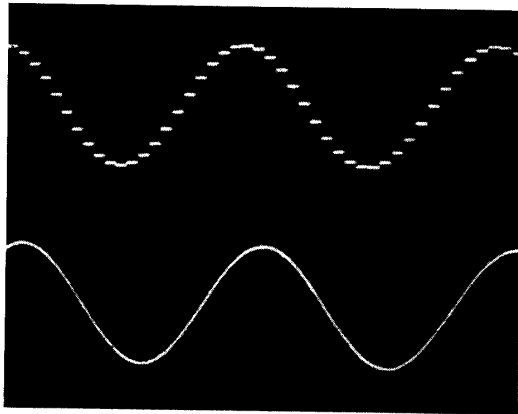
第 2 ラッチ回路から送られるデータは Fig. 6 で示しているように、後続チャンネルのデータが第 1 ラッチ回路に読込まれる時点でメモリシフトインパルスによって P メモリの当該チャンネルに読込まれる。P メモリの読出しは Fig. 2 に示されているように基準発振器の発振周波数 14.3325 Mb/S を D/A コントロール内部で 325 分周して作った 44.1 kHz のメモリシフトアウトパルスで連続的に行い、次段の D/A 変換器に送出する。

3.2.5 D/A 変換器と出力 LPF

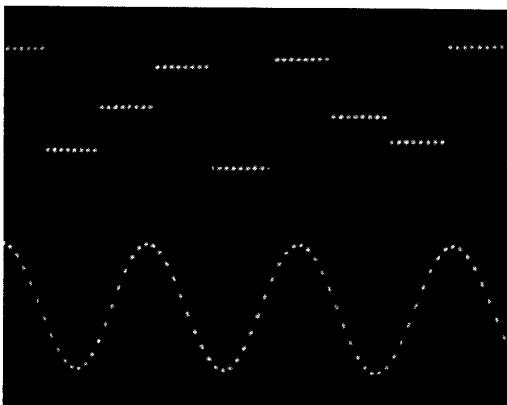
デジタルアナログ変換器 (D/A) は P メモリの 12 bit 並列符号の組合せにより 4096 段階のアナログ電圧に変換するもので、D/A 変換器としては性能と価格を考慮して B. B. 社の DAC-80 を選んだ。これは電流梯子形 12 ビット D/A 変換器であって、変換時間は

$5\mu\text{S}$ であり、我々の目的に適合する。Fig. 7 の上段に 2 及び 15 kHz 正弦波信号に対応する D/A 変換器の出力波形例を示す。

出力 LPF は D/A 変換器の階段状出力波形を補間し原信号に復元するもので、帯域外の高周波成分を除



(a) 2 kHz sine wave input (2 V/div, 0.1 ms/div)



(b) 15 kHz sine wave input (2 V/div, 20 μs /div)
upper: D/A converter output signal
lower: LPF output

Fig. 7 Output wave form of the D/A converter (upper) and the LPF (lower).

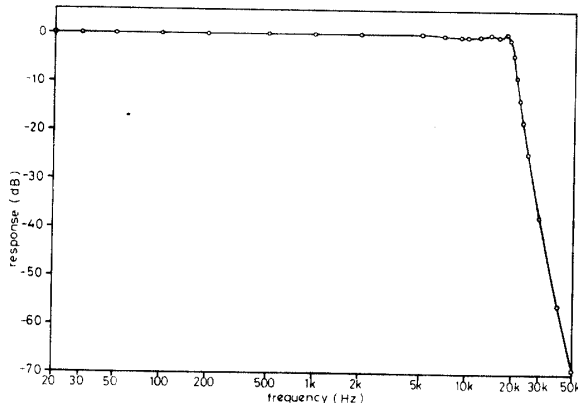


Fig. 8 Frequency characteristics of the output LPF.

くためシャープな特性の低域フィルタが必要である。ここでは Fig. 8 に示す特性のアクティブフィルタを使用した。Fig. 7 の下段の波形はこの LPF を通過後の出力波形である。

4. 総合特性

先報の記録系とあわせて Fig. 2 に示した構成を組み記録入力から再生出力までの総合特性について検討した。

Fig. 9 に正弦波信号の記録周波数と再生出力の関係を示す。実線が試作 PCM 録音装置の場合であり、点線は比較のために測定した市販の高周波バイアス方式

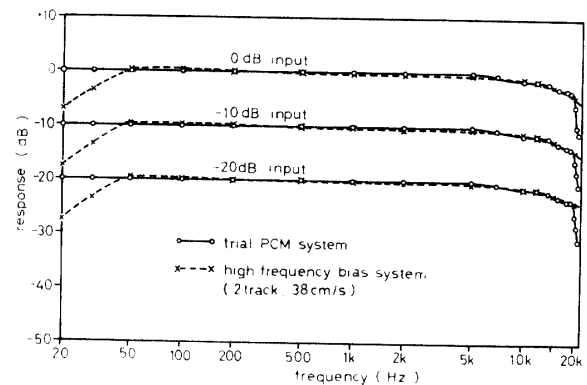


Fig. 9 Frequency response of the playback output.

録音装置 (テープ速度 38 cm/s) の場合である。すなわち本試作装置では 3 dB 点で DC~19 kHz の帯域の周波数特性を示しているが 10 kHz 附近から応答がやや低下している。これは D/A 変換器の階段波出力に伴うアーチファクト効果によるもので、要すれば補償可能である。19 kHz 以降は出力 LPF 特性に従って応答は急速に減少している。

Fig. 10 に 100 Hz 矩形形状記録信号に対する再生応答波形を高周波バイアス方式と比較して示す。本試作装置では DC までレスポンスが延びているため応答波にサグは見られない。立上り立下りに若干の振動が伴っているのは出力 LPF によるピーキング作用によるものである。

Fig. 11 (a) に正弦波記録入力についての人出力レベル特性を示す。すなわち、本試作装置のダイナミックレンジは約 70 dB を示し、これは設計上の理論値の約 74 dB には達していない。その原因は主として D/A 変換器のグリッチによるもので、デグリッチ回路の挿入によりさらに改善の要がある。なお比較のため高周波バイアス方式における人出力特性を Fig. 11 (b)

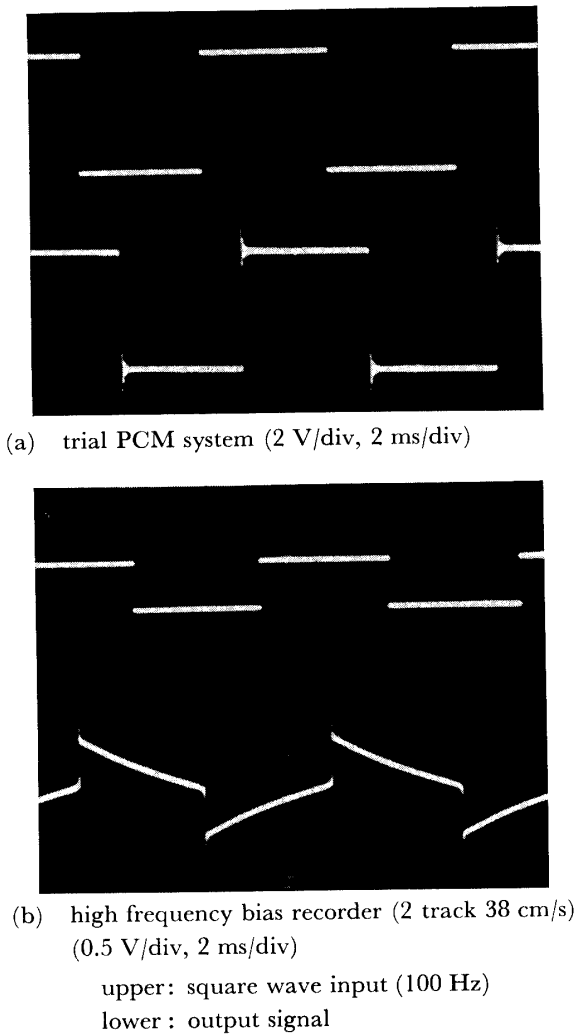


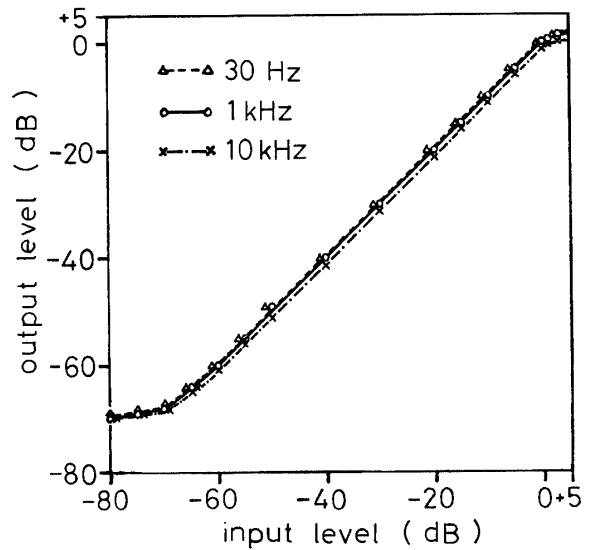
Fig. 10 Playback signal corresponding to the square wave recording input.

に示した。

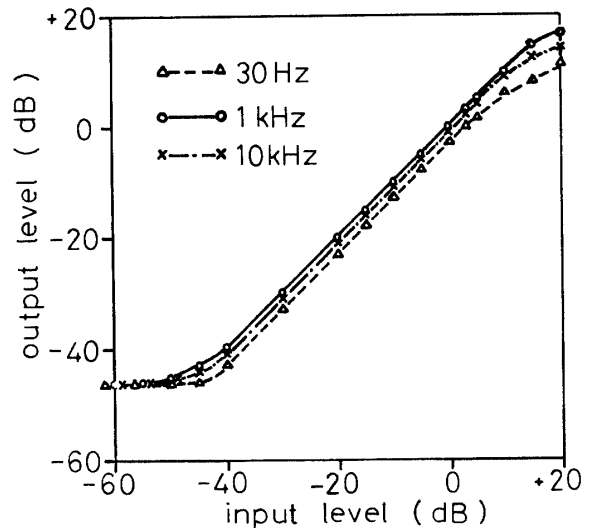
Fig. 12 に周波数-歪率特性を示す。歪率測定はナショナル VP 7702 B 歪率計によった。試作装置の場合、低域における歪率は記録用発振器自身の歪率にほぼ近く、PCM 録音による歪率は極めて小さい。高域において歪率は急速に増加しているが、これは出力 LPF の特性と関連していると考えられさらに検討を要する。

Fig. 13 に定レベル正弦波入力に対する再生波のエンベロープ特性を示す。すなわち、PCM 録音方式では原理上からもエンベロープの変動は起らないがテープのドロップアウト等に起因する符号誤りによって不連続な局所変動が見られる。高周波バイアス方式の場合にはテープの不均一性によってとくに高周波域になるほどエンベロープが変動し易い。

符号誤りによる再生レベルの瞬変は PCM 録音方式の最大の弱点である。本試作装置ではすでに述べたよ



(a) trial PCM system



(b) high frequency bias system

Fig. 11 Recording input level characteristics.

うに各標本ごとの群計数チェックと前値ホールド方式による誤り対策を施しているが、試聴結果ではなおクリック性の雑音が耳につき、十分な効果を挙げるに到らないことがわかった。誤りのバースト長が長い場合、ここでとった対策では効果を期待できない。再生時の符号誤り率をチェックするため、再生系の誤り検出回路において第2ラッチパルス数を計数する方法でこれをしらべた。第2ラッチパルスは誤りがあった場合には生じないからその数をしらべれば誤り度数を知ることができる。測定された符号誤り率は $3.5 \times 4.8 \times 10^{-8}$ であった。しかし効果的な符号誤り対策を立てるため

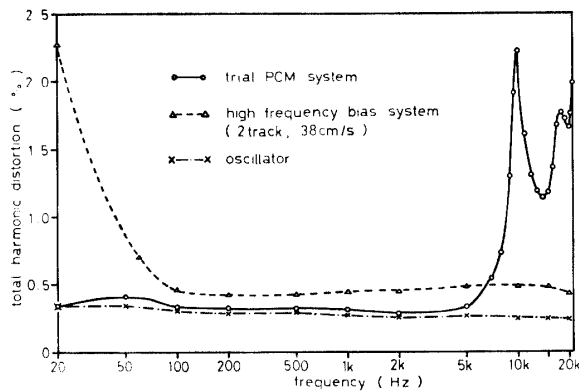
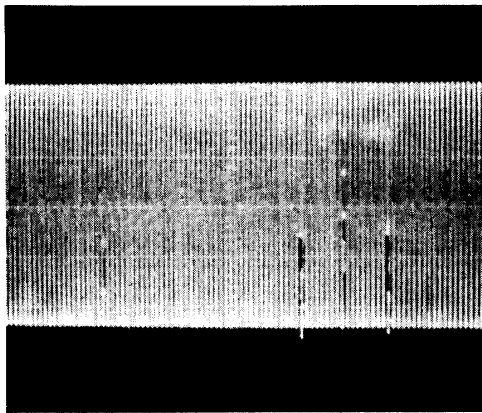
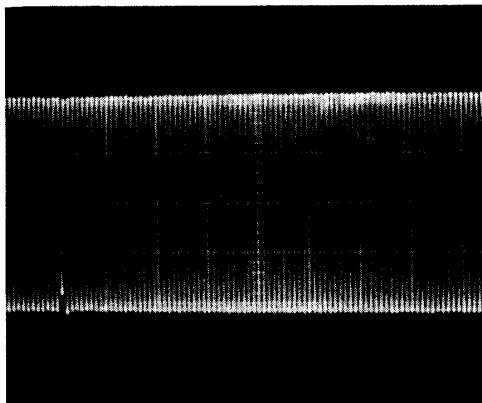


Fig. 12 Total harmonic distortion.



(a) 10 kHz (1 ms/div)



(b) 1 kHz (10 ms/div)

Fig. 13 Envelope characteristics of the playback signal.

には全体的な誤り率では不十分で、誤りのバースト長やその生ずる間隔などに関する知見が必要である。

5. むすび

家庭用 VTR を利用して PCM 録音を行うための録音再生アダプタを試作しその特性を検討した。本試作は各種のデジタル化録音方式の比較研究の最初の着手であったため、その内容は最近の PCM 録音方式の各種の報告例^{2)~4)}を参考にして最もプリミティブな範囲に止め、改善を要する点を多々残した。

総合特性でみると、PCM 録音方式で予期されたおよその特性は得られたが、たとえばダイナミックレンジは計算値をかなり下回りデグリッチ回路の挿入の必要を認めた。さらに大きなダイナミックレンジを実現するため、非直線量子化やエンファシス技術を導入することも必要である。符号誤り対策としてはバースト誤りに対処してインタリーブ方式の導入が必須であると判断される。試作に要した部品コストは VTR を除いて約23万円であったが、各部の設計の見直しによりその低下をはかることも今後の課題である。

最後に、試作に当り御協力いただいた本学技官桐原昭雄氏と山本政和氏(現松下電器)及び川本実氏(現中電々気機工)に謝意を表す。

参 考 文 献

- 1) 西川正明, 永富和行, 古前仁司: PCM 録音装置の試作 (第1報) - 記録系回路について -, 山口大学工学部研究報告, **29**, 253 (1979)
- 2) 大場吉延, 土屋佳一, 大槻 正, 風見進一: 高性能 PCM 録音再生アダプタ (その1), 放送技術, **30**, 652 (1977)
- 3) 久万俊彦, 轟 茂夫, 宮下 脛: 高性能 PCM 録音再生アダプタ (その2), 放送技術, **30**, 657 (1977)
- 4) 山崎芳男, 真貝光俊, 竹田輝夫: 高性能 PCM レコーダの試作, ラジオ技術, **30**, No. 10, 118 (1976)

(昭和54年4月16日 受理)