

デルタ変調録音装置 (第1報)

—方式設計と記録系回路—

西川正明*・永富和行**・古前仁司***・糸山喜勝***

Digitalized Audio Recording Adapter Utilizing Delta Modulation Method (First Report)

—System Design and Recording Circuits—

Masaaki NISHIKAWA, Kazuyuki NAGADOMI, Hitoshi KOMAE and Yoshikatsu ITOYAMA

Abstract

A digitalized two channel audio recording adapter which can be used in conjunction with the home type video tape recorder has been trially manufactured. This report describes the overall system design and the outline of its recording circuits.

An adaptive delta modulator having a digital code detector and selector was used for a simple analog to digital conversion. The sampling rate of the modulator was selected as 1.1025 Mbits/s, considering the requirement to record the digitalized data on the home use VTR. Theoretically estimated signal to noise ratio was about 70 dB for low frequency input signal. The recording bit rate of 2.8665 Mbits/s was selected to record two channel serial data on the VTR.

1. まえがき

従来のアナログ形磁気録音に代る新しい録音方式として PCM 録音方式が開発され、我国では最近、家庭用 VTR に付加して利用する PCM 録音アダプタについて標準規格も発表されている¹⁾。PCM 録音方式は広いダイナミックレンジをもつ超忠実度録音方式を実現しているが、家庭用としてはかなり高価であり、またクリック性雑音を防ぐために十分な符号誤り対策を施さねばならない。

デルタ変調方式は差分 PCM 方式の最も簡単な形式として知られ²⁾、標本値間の相関性にもとずきその差分を 1 ビットで符号化し AD 変換を行うものである。この方式では、PCM 方式と同じダイナミックレンジを得ようとするより高いクロックレートが必要になるが、変復調器が極めて簡単なものですみ、またビット誤りの影響が PCM 方式の場合のように急激ではない。

本研究はデルタ変調方式のこの特徴に着目してその

デジタル化録音方式への適用を検討することを目的としている。本報告では第 1 段階として全体的な方式設計と記録系回路の概要について述べる。

2. デルタ変調の原理と適応形デルタ変調

ここでまずデルタ変調の原理と基本的な特性についてまとめる。

デルタ変調器は一種の非線形負帰還回路であって、Fig. 1 に示すように比較器とデジタル符号器と局部復号器より成る。入力アナログ信号と局部復号器の出力を比較器で比較し、その誤差信号の正負によりデジタル符号器の出力に二進符号を発生する。二進符号のビットレートはデジタル符号器に与える標本化ク

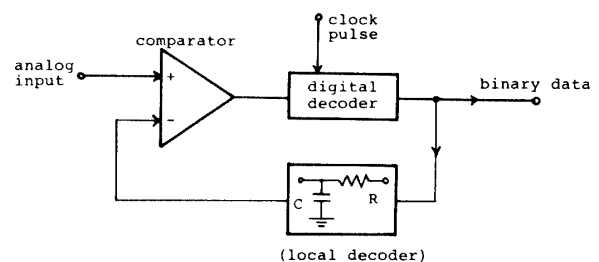


Fig.1 General construction of Delta modulator.

* 電気工学科

** 大学院電気工学専攻 (現在日本電気)

*** 大学院電気工学専攻

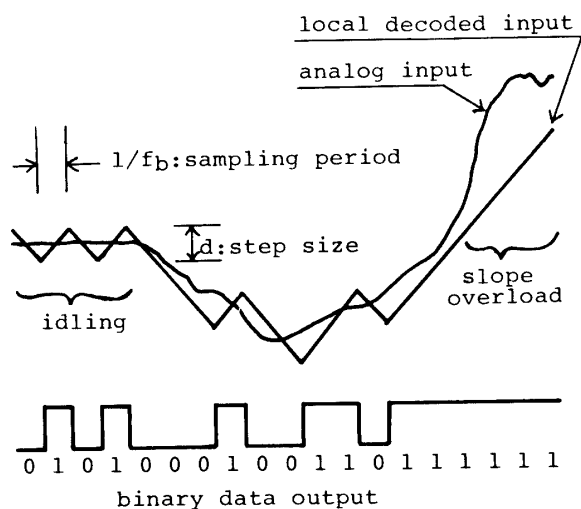


Fig.2 Operation of a Delta modulation.

ロック周波数によって決まる。デジタル符号器の出力は局部復号器で Fig.2 に示すようなアナログ信号に変換され、比較器への帰還信号となる。局部復号器は単一あるいは二重積分器で構成される。デジタル符号器はフリップフロップ回路1個で構成することができる。

デルタ変調によりデジタル化された符号を復調するには、変調器の局部復号器と全く同様な復調器を使用して D/A 変換した後、低域フィルタを通して雑音成分を除去すればよい。

さて、デルタ変調器の局部復号器出力と入力アナログ信号との間には Fig.2 に示すように復号器の積分ステップと標準化周期に関係した追従誤差があり、このため量子化雑音や過負荷が発生する。過負荷 (slope overload) は入力信号の時間変化率が大きい場合に局部復号器出力の変化がおくれ誤差が積み上る現象であり、このため過負荷点入力電圧は入力が高周波になると低下する。また入力の変化幅が復号器のアイドル振幅以下では符号化ができない。これらのことから、デルタ変調方式における過負荷点入力、SN 比、ダイナミックレンジが以下のように与えられている³⁾。

復号器として単一積分器を使用する場合、積分器のシャ断周波数を f_c ($1/2\pi T$, T : 積分時定数), デジタル符号化の標準化周波数を f_b , 入力信号周波数を f_s , 信号周波数帯域幅を f_B とする。

過負荷は積分器出力が f_c 以上で入力に追従できなくなることで生ずるから、信号周波数 f_s における過負荷点入力電圧 V は直流過負荷点電圧 V_0 に対して

$$V/V_0 = 1/\sqrt{1+(f_s/f_c)^2} \quad (1)$$

の特性になり、 $f_s > f_c$ の領域で低下する。

また、ある f_s においてその過負荷点入力に対する

信号対量子化雑音電力比 S/N_q は

$$S/N_q = 3f_b^3 / \{8\pi^2(f_c^2 + f_s^2)f_B\} \quad (2)$$

ダイナミックレンジ D を過負荷点入力と符号化可能な最小入力との電力比で定義すると

$$D = f_b^2 / \{\pi^2(f_c^2 + f_s^2)\} \quad (3)$$

S/N_q と D を大きくするには f_b を大きく f_c を小さくとればよいが、一方 f_c を小さくすると V/V_0 が低い入力周波数から低下する、この相反性を補うため、デルタ変調のデジタル出力符号列の状態から入力信号の変化率を予測し、これに対応して局部復号器の利得を調整する適応形デルタ変調方式 (Adaptive Delta Modulation-ADM, あるいは圧伸形デルタ変調) が用いられる⁴⁾。

すなわち、デジタル符号化出力が“0”, “1”を交互に繰返すことは入力信号の変化率が小さいことを意味するので局部復号器の出力変化幅を小さくするように制御し、量子化雑音を減少させる。またデジタル出力が“0”もしくは“1”連続の状態は入力信号の変化率が大きいことを意味するので局部復号器の出力変化幅を大きくするように制御し、過負荷点入力を増加させる。局部復号器の利得を調整するには、その積分器印加電圧を変化させるか時定数を変化させればよい。

ここでは、Fig.3 に示すように局部復号用積分器の時定数を変えてそのシャ断周波数 f_c を制御する ADM 方式を試みることにした。すなわち、デジタル符号器の出力をデジタル検出器に導いて符号系列をしらべ、その状況によりデジタルセレクタを用いて局部復号器の積分抵抗を選択し f_c を離散的に変化させる。デジタル符号系列の検出アルゴリズムについては次章で述べる。

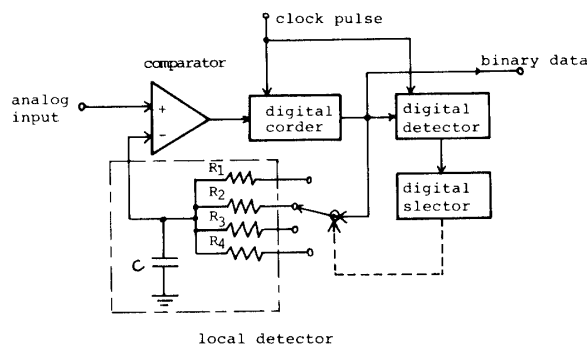


Fig.3 Adaptive Delta Modulator.

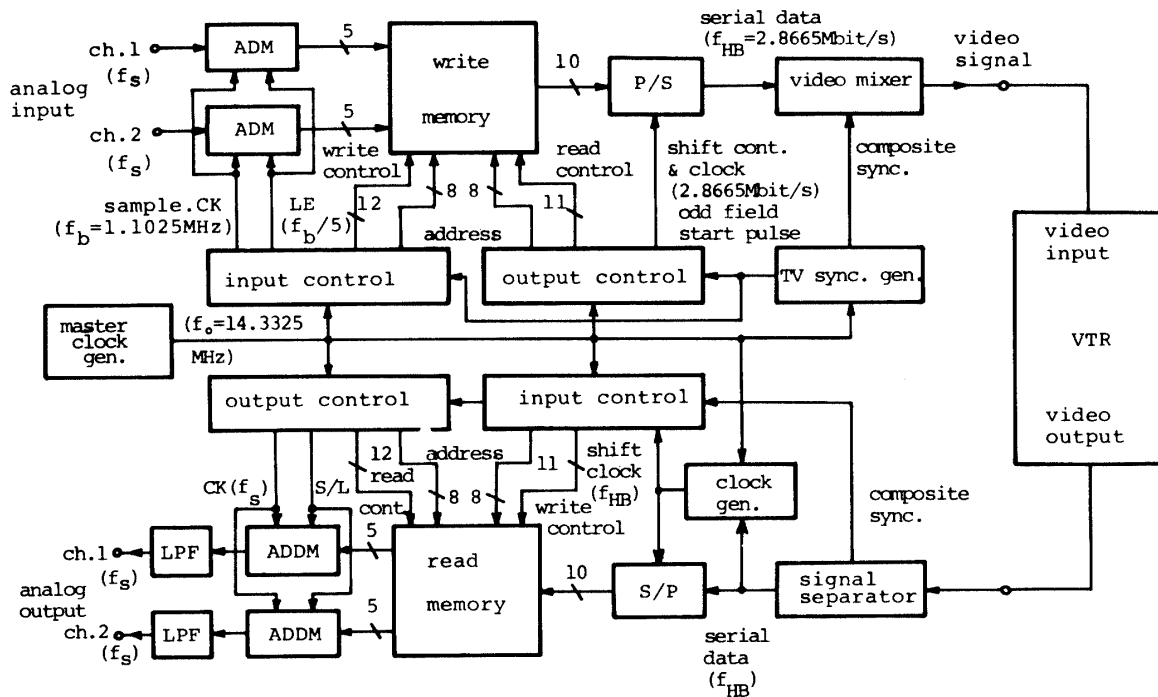


Fig.4 Overall block diagram of the trial recording-reproducing adapter.

3. 適応形デルタ変調録音の方式設計

3.1 記録・再生系のブロック構成

録音の性能目標としては、信号周波数範囲 20kHz 以下で2チャンネルのステレオ録音を想定する。この場合、一応満足できる SN 比をとるためにはデルタ変調の標準化周波数 f_b は 1M bit/s 程度になり、これを2チャンネル混合して録音機の1トラックに直列記録するとすると、記録ビットレートは 2M bit/s 以上になる。このことから、録音機構には市販のカセット形 VTR (ソニー・ベータマックス SL-7100) を利用し、それにアダプタ形式でつながる記録、再生アダプタを設計した。Fig.4 にその全体的なブロック構成を示す。

3.1.1 記録系

Fig.4 の上半面が記録系の構成である。各チャンネルの入力アナログ信号を適応形デルタ変調器 (ADM) に加えてデジタル符号化する。デルタ変調の標準化周波数 f_b は基準発振器より作る標準化クロックによって規正する。デジタル化符号は ADM 内のシフトレジスタにより適当な数だけをグループとして並列符号化し、次段のライトメモリに送出する。ここでは便宜上5ビットを1グループとし、2チャンネルで10ビットを1語としてメモリに書込むこととした。

ライトメモリは連続的に入力される1語10ビットの並列符号をアドレスを逐次ずらしつつ蓄え、VTR

の同期信号期間を避けるようにタイミングをとって断続的に逐次読出す。VTR には直列符号として記録するため、メモリの出力を並直変換器 (P/S) で直列化する。

ビデオミクス回路で上記のデータ符号と TV 同期信号発生器で作った TV 同期信号を所定の時間関係で重ならないように合成し、ビットレート f_{HB} の擬似映像信号として VTR に送出する。

ADM の標準化、メモリの書込・読出、直列符号への変換、TV 同期信号の挿入はすべて同期的に行わねばならない。従ってこれらを制御する各種の制御パルスはすべて基準発振器からコントロール部で同期的に作成する。

なお、今回の試作では記録系において誤り検出のための冗長符号はとくに付加しなかった。誤り対策の検討はつぎの機会に行う。

3.1.2 再生系

Fig.4 の下半面が再生系の構成である。VTR から再生された擬似映像信号を信号分離回路に加え、同期信号とデータ符号を分離する。分離したデータ符号の変換点を利用して変換点ごとに位相修正したビット同期パルスをクロック発生器で作成する。このビット同期パルスを直並列変換器 (S/P) のシフトクロックとして直列データ符号を10ビット1語の並列符号に変換する。

この 10 ビット並列符号をつぎのリードメモリにアドレスを逐次ずらしつつ書込む。このリードメモリはライトメモリとは逆に断続的データを連続的データに変換するもので、メモリ内容は 10 ビットごとに連続的に読出され、5 ビットずつ各チャンネルの適応形デルタ復調器 (ADDM) に入力される。

各チャンネルの ADDM ではまずソフトレジスタにより 5 ビット並列入力を直列符号化し、ADM の局部復号器と同様な復調器によりアナログ信号に復調する。この際、バースト誤り対策としてある程度“0”が連続したときこれをバースト性ドロップアウトと判断して前値をホールドする機能を付加した。ADDM の出力は最後に標本化雑音成分を除くために低域フィルタに加えられ、元信号に復元される。

3.2 ADM の圧伸アルゴリズム

前章で述べた ADM の積分時定数を制御するアルゴリズムとして、ここでは Fig.5 の方法をとった。すなわち、変調器の 2 進出力データ系列が 111...、あるいは 000... のように 3 ビット同一符号が連続する場合には入力信号の変化率が大きいと判断して時定数を 1 ステップ小さくし、局部復号器出力の変化を速くする。また、1010... と反転が連続する場合には入力の変化率が小さくアイドル状態にあるから、ここでは 10、01 と 2 ビット反転符号となるととき時定数を小さくして局部復号器出力の変化を小さくする。それ以外の符号列では現在のステップが適当であると判断してそれを維持するようにした。

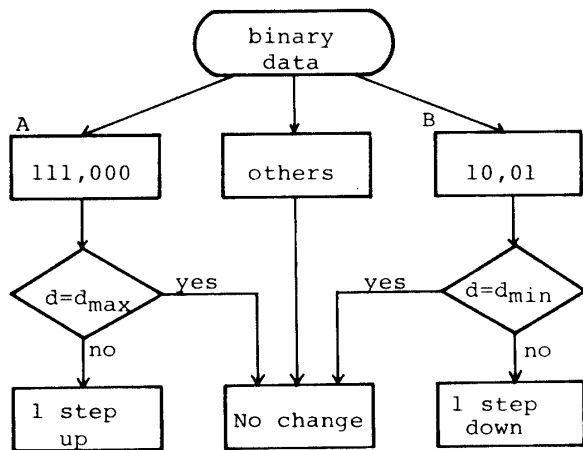


Fig.5 Compression algorithm of the Adaptive Delta Modulation.

3.3 記録系の基本パラメータと記録フォーマット

ここではデルタ変調の標本化周波数 f_b 、局部復号器のシャ断周波数 f_c 、VTR への記録ビットレート f_{HB}

を具体的にどう決めるかと、VTR への記録フォーマットをどうするかについて考える。

f_b が高いほど S/N_q や D が大きくなることは式 (2), (3) から明らかであるが、これは VTR の許容ビットレートからくる f_{HB} 最大値の制限から制約される。また、 f_b と f_{HB} は回路の同期維持の立場と VTR への断続記録の制御条件から独立に定めることはできず、基準発振周波数 f_0 と整数比関係になければならない。

いま、VTR の 1 水平走査期間 (1H 期間) にチャンネル当り n ビット (2 チャンネルで $2n$ ビット) のデータを記録するとし、1 フレーム当りの有効走査線数を (525-x) 本とすると、1 フィールド当りの記録ビット数はチャンネル当り $n \times (525-x)/2$ で、その $1/f_b$ 倍が 1 フィールド期間、つまり $(1/f_H) \times 525/2$ (ただし f_H は水平走査周波数で $f_H=15.75\text{kHz}$) と等しくなければならない。これから

$$f_b = f_H \times n \times (525-x) / 525 \tag{4}$$

ここで、1 フレームの未使用走査線数 x は VTR の特性から $35H$ とする。

VTR の 1H 期間、 $1/f_H=63.5\mu\text{s}$ に着目すると、そのうち水平同期用ブランク期間 αH を除いた期間以内にビットレート f_{HB} で $2n$ ビットのデータを記録せねばならない。これから

$$(1/f_{HB}) \times (2n) \leq (1-\alpha) (1/f_H) \tag{5}$$

α は標準的には 0.16 である。

また、 f_b , f_H 及び f_{HB} は同期維持のために基準発振周波数 f_0 と整数比関係になければならない。すなわち、

$$af_b = bf_H = cf_{HB} = f_0, a, b, c \text{ は整数} \tag{6}$$

f_{HB} はまた VTR の周波数特性とドロップアウト特性から上限を制限される。家庭用カセット形 VTR の正弦波記録特性を実測した結果では約 1.5~2.0MHz まで平坦特性を示したが、デジタル記録した場合、ビットレートが 2.5~3M bit/s 以上になるとドロップアウトエラーが急増すると報告されている³⁾。従って

$$f_{HB} < 2.5 \sim 3.0 \text{ Mbit/s} \tag{7}$$

を一応の目安と考える。

ここでは $f_H=15.75\text{kHz}$ $x=35$, $\alpha=0.16$ を前提として式 (4)~(7) を満足する f_b , f_{HB} , f_0 を検討し、これらを Table 1 のように定めた。

Fig.6 に VTR の 1H 期間の記録フォーマットを示す。すなわち、1H を $1/f_{HB}=0.35\mu\text{s/bit}$ の 182 ビット分に分割し、最初の 14 ビットを水平同期信号に、22 ビット目から 3 ビットを「101」メッセージ符号に割当てて、続いてデータビットをチャンネル当り $n=75$

Table. 1 Selection of sampling frequency, recording bit rate, and master clock frequency

sampling frequency f_b	recording bit rate f_{AB}	master clock frequency f_0	a ($=f_0/f_b$)	b ($=f_0/f_H$)	c ($=f_0/f_{HB}$)	n (bit/ch./H)
1. 1025 M bit/s	2. 8665 M bit/s	14. 3325 M bit/s	13	910	5	75

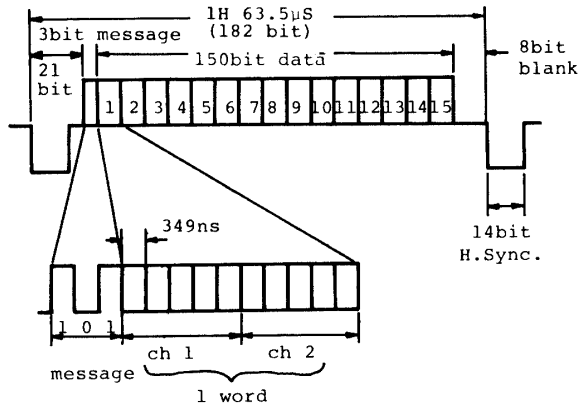


Fig.6 Tape recording format in a horizontal scanning period.

ビット、両チャンネル合計で150ビット記録する。最後に8ビットの余白をとる。前後を合わせた余白率 α は約0.16となる。メッセージ符号は再生クロックの作成とデータ記録の水平走査間の検出を容易にするために設けた。なおデータビットは回路の都合からチャンネル当たり5ビット、両チャンネルで10ビットを1語にまとめて扱うこととした。

3.4 変調特性の推定

$f_b=1.1025$ M bit/s に選んだときに得られる変調特性を求める。変調特性は局部復号器のシャ断周波数 f_c にも依存する。 f_c が小さいほど S/N_q は向上するが、 f_c 以上の過負荷点入力低下するため、ここでは3.2で述べたアルゴリズムで入力信号の変化率に応じて f_c を変化させる。 f_c の値は過負荷特性と S/N_q を勘案して8, 4, 1.6及び0.8kHzの4段階に切替えることとした。

$f_b=1.1025$ M bit/s, $f_B=20$ kHz において各 f_c についての過負荷特性及び S/N_q と信号周波数 f_s の関係を式(1)及び(2)で求めると Fig.7 及び Fig.8 のようになる。 f_c は信号の変化率に応じて自動的に切替わり、それにつれて特性は変化する。過負荷点入力電圧は f_c が最大に切替わっても8kHz以上で低下するが、信号の高域スペクトルは一般に小さいので実際さほど支障がないと考えられる。

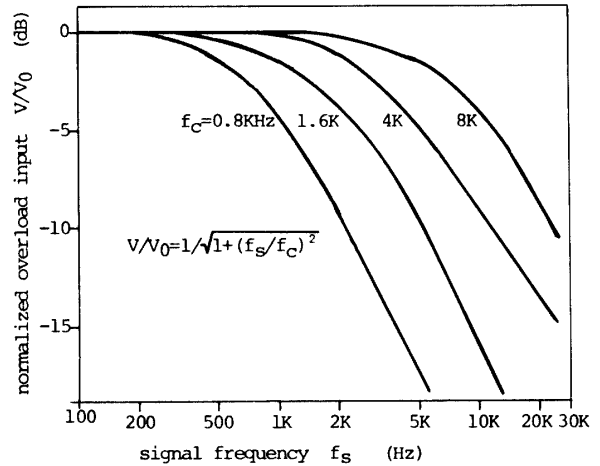


Fig.7 Estimated overload characteristics.

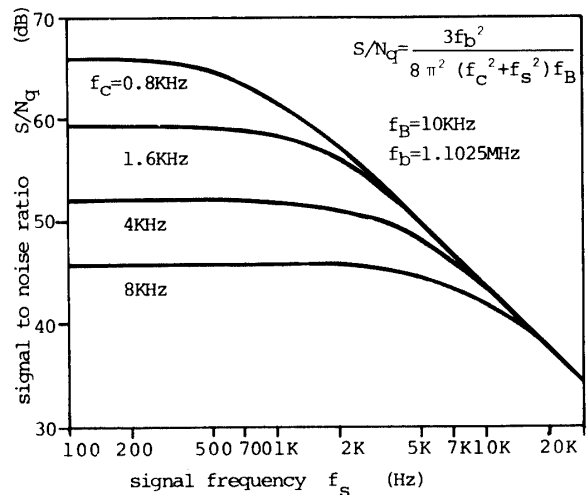


Fig.8 Estimated signal to noise ratio.

4. 記録系回路の試作

以上の方式設計にもとづき、記録系回路の試作を行った。以下にその概要を述べる。

4.1 適応形デルタ変調器 (ADM)

Fig.9 に試作した ADM の回路図を示す。入力アナログ信号と局部復号器出力をコンパレータ NE527 で比較し、誤差信号をD形フリップフロップ SN7474 を用いたデジタル符号器に加える。D形FFは入力の

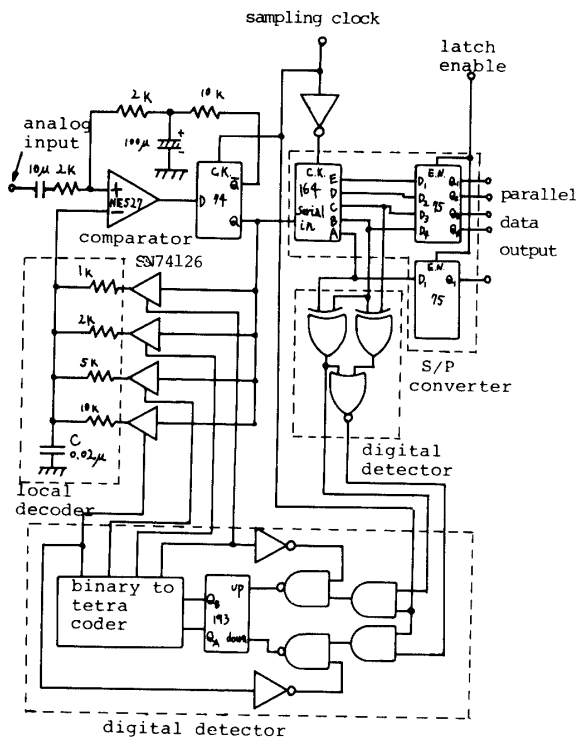
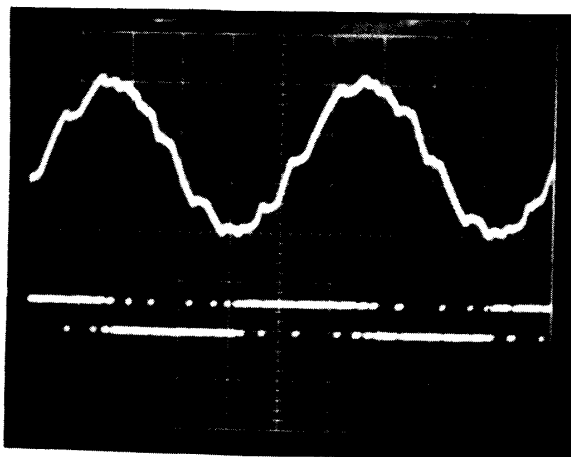


Fig.9 A daptive Delta Modulator.

正負に対応した“1”，“0”デジタル出力をクロックパルス(CK)が加わった時刻に出力する機能をもつので、CK端子にコントロール部で作られる、 $f_b=1.1025$ M bit/sの標本化パルスを加えることにより誤差信号を標本化し、2進データ列に変換する。このD形FF出力をソフトレジスタSN74164で5ビット1組で並列符号化した後、ラッチ回路7475のイネーブパルスでそのデータを保持し次段のメモリへ送出する。圧伸制御のためのデジタル検出器は Exclusive-



upper: locally decoded signal (0.5V/div, 20μs/div)
lower: binary data output (5V/div, 20μs/div)

Fig.10 Waweform of the locally decoded signal and the binary data output of the modulator.

OR および NOR ゲートで構成されており、この部分でデータ列が 111, 000 形か 10, 01 形かを検出する。アップダウンカウンタ SN74193 とその周辺回路で局部復号用積分器の時定数を選択する。3ステートバッファ SN74126 で積分抵抗の切替えを行う。

局部復号器は図示のような単一 RC 積分器で、デジタル符号器 (7474 D-FF) の直列デジタルデータを Fig.2 に示したように積分してコンパレータに帰還する。Fig.10 にデジタル符号器の出力データと局部復号器の復号出力の写真例を示す。入力信号の傾斜の大小によって局部復号器の時定数が切替わり復号出力の傾斜が変化している状況が見られる。

4.2 ライトメモリ

ライトメモリの容量はその機能上、VTR への記録を禁止しなければならない最大の期間に入力される連続データを蓄積するのに十分でなければならず、この点からは 18H 分以上あればよいが、さらに書込、読出の制御方法とも関連して定める必要がある。

メモリチップとしてここでは static RAM, μPD 2101A (4bit×256word) を利用する。RAM は書込・読出を全く同時に行うことはできないので、制御を単純化するためメモリを A, B, C の3ブロックに分割し、Fig.11 に示すタイミングで各ブロックの書込・読出を行わせるようにした。この場合、1ブロックの容量は1フィールド分の記録走査線数 245H を整数分割できる値で 18H より大きい値をとると、35H 分 (150×35=5,250ビット) になる。

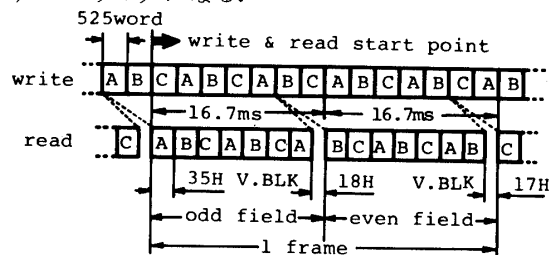


Fig.11 Operation diagram of the write memory.

すなわち、メモリの構成は 35H 分 525ワード (1ワードは10ビット) を1ブロックとした3ブロックから成り、データの書込みは A, B, C と順次行くと同時に奇数フィールドで2ブロックおくれた時点からその内容を A, B, C と順次に読出す。読出しは各フィールドの垂直ブランク期間 (18H 及び 17H 期間) は禁止する。1フレーム経過した時点では図示のように Bブロックへの書込開始と Cブロックの読出開始時点が一致し、さらに3フレームごとに全く同じ状態を繰返す。

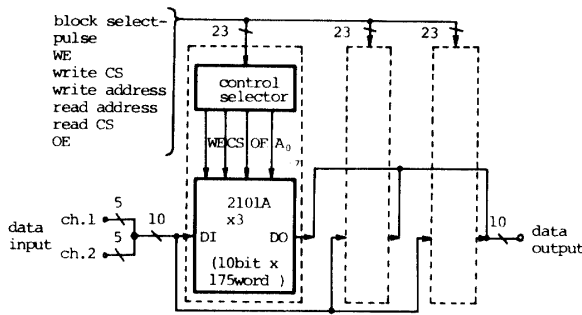


Fig.12 Block diagram of the write memory.

Fig.12に1ブロックのメモリ構成図を示す。すなわち、 μ PD2101Aを9個使用して10bit/word \times 525wordのメモリブロックとして使用するものである。1語は5ビットづつ2チャンネルに分かれ、各チャンネルのADMのラッチ出力が入力される。各アドレスへの書込みは、アドレスを指定した後、チップセレクトCSとライトイネーブルWEを与えることにより標本化周期の5周期ごとに連続して行われる。また、読出しはVTRの垂直・水平同期々間をさけるようにして与えられるチップセレクトCSとアウトプットイネーブルOEによりアドレスを順次ずらしながら行われる。1H期間の各語の読出し周波数は2.8665/10 M word/sである。

4.3 並直変換とビデオミクス回路

メモリの読出し出力を Fig. 13 をに示すようにシフトレジスタ SN74166 の2個から成る並直変換器に加え、2,8665 M bit/s のシフトクロックで2チャンネル分10ビットの直列データ符号に変換する。なおシフトレジスタへのデータのロードとシフトはメモリのアウトプットイネーブルとのタイミングをとったシフト/ロード制御信号で制御される。

直列化されたデータ符号は Fig. 13 のビデオミクス回路によって VTR の垂直・水平同期信号と“101”メッセージ符号と合成される。合成の時間関係は Fig. 6 に示したとおりに制御される。この合成信号が擬似映像信号となって VTR へ送出される。

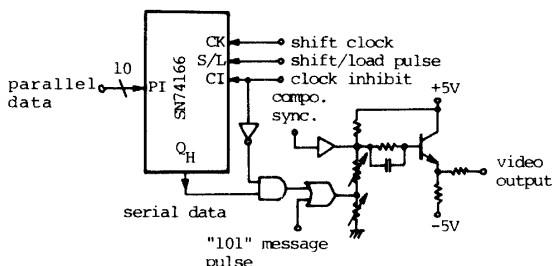


Fig.13 Parallel to serial converter and video mixer.

4.4 記録系のコントロール部

記録系各部の同期的な動作を制御するのがコントロール部であって、基準発振器の発振周波数 $f_0=14.3325$ M bit/s をもとに各種のカウンタとゲートを用いて必要な制御パルスやクロックを作成する。

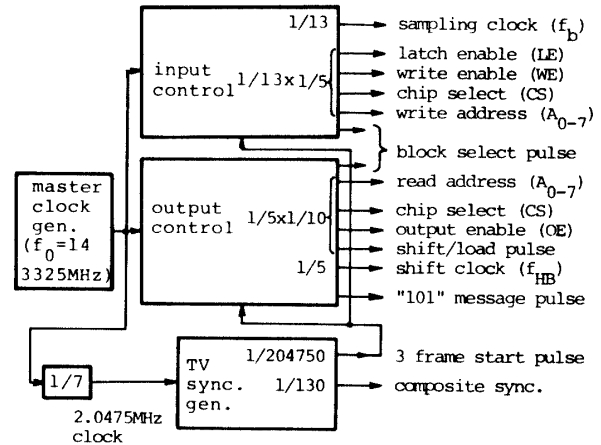


Fig.14 Outline of the control part.

コントロール部は Fig.14 に示すように、入力コントロール、出力コントロール及びTV同期信号発生器に大別される。入力コントロールはADMの標本化パルスとメモリへの書込制御信号（ADMのラッチイネーブル、メモリのチップセレクト、ライトイネーブル及びアドレス）を作る。標本化パルスは基準発振周波数 $f_0=14.3325$ M bit/s を1/13で減して $f_b=1.1025$ M bit/s の標本化パルスとし、連続的な標本化を行う。さらに f_b を1/5で減して各チャンネルの1語ごとのラッチイネーブルを作り、ADMの出力を保持する。それから適当なタイミングをとってライトメモリへアドレス信号とチップセレクトCS及びライトイネーブルWEとを与えて各語の書込みを制御する。各語の書込レートは1.1025 Mbit/s/5=0.2205 Mword/sである。またメモリ書込開始信号をTV同期信号発生器から得て、3フレームごとに奇数フィールドのスタート点で読出との同期をとっている。

出力コントロールはメモリからの読出制御信号と並直変換用制御信号を作る部分で、入力コントロールが連続動作を行うのに反し、出力コントロールはVTRの同期信号挿入期間と連動した断続動作を行う。Fig. 11に示したように偶数フィールドの垂直ブランク期間の終了時点でTV同期信号発生器からメモリ読出開始信号を与え、メモリ内容の読出しをスタートする。すなわち、この時点から垂直ブランク及び水平ブランク期間を避けてアドレス信号とチップセレクトCS、アウ

トプットイネーブル OE を与えて各アドレスの内容を順次読出す。読出データが安定したタイミングをとって並直変換のシフトレジスタにロード信号を与えデータをロードする。ついでシフトに切替え、 f_0 を 1/5 分周して作った $f_{MB}=2.8665$ M bit/s のシフトクロックで直列データ符号 (NRZ 符号) に変換する。なお、メモリの読出しレートは $2.8665/10=0.28665$ M word/s である。

TV 同期信号発生器は標準 TV 方式 (NTSC 方式) に従って垂直、水平及び等化パルスを作るもので、 $f_H=15.75$ kHz の水平同期信号は f_0 を 1/910 分周して作成する。垂直同期信号は Fig. 11 に示したように奇数、偶数フィールドともそのスタートから 245H をおいたブランク期間に発生させる。また TV 同期信号発生器ではメモリブロックの書込、読出開始点を揃えるため、Fig. 11 で示したように奇数フィールドの開始点で 3 フレームごとに書込及び読出開始信号を発生させる。

5. むすび

簡単なデジタル化録音方式として適応形デルタ変調方式の適用性を検討するため、家庭用カセット形 VTR に付加して使用する録音アダプタの方式的設計と記録系回路の試作を行った。

デルタ変調の適応制御にはデジタル検出器により局部復号器のシャ断周波数を離散的に変化させる方式を

採用した。標準化周波数は VTR への記録との関連を考慮して 1.1025 M bit/s に選んだ。このとき推定される信号対雑音比は、低周波において約 70 dB である。VTR への記録ビットレートは 2 チャンネルステレオ記録で 2.8665 M bit/s となった。このビットレートは家庭用 VTR において報告されているビットエラーの観点からするとかなり高いきらいはあるが、その妥当性については今後の記録試験によって確める予定である。

終りに、試作の遂行に当り御協力いただいた本学技官桐原昭雄氏と学生堂面俊則、久我嘉明の両君に謝意を表する。

参 考 文 献

- 1) 十楚博美：家庭用 VTR を利用する PCM オーディオアダプタの規格標準化，日経エレクトロニクス，1979. 8. 20, 185
- 2) R. Steele: Delta Modulation Systems, 日経エレクトロニクス，1978. 2. 20, 169
- 3) F.B. Johnson: Calculating Delta Modulator Performance, IEEE Trans on Audio and Electroacoustics, AU-16, 1, 121 (1968)
- 4) J.E. Abate: Linear and Adaptive Delta Modulation, IEEE Proc., 55, 3, 298 (1967)

(昭和 54 年 10 月 15 日 受理)