

# マイコンを用いたデータ収集システム (その1)

福島 和也\*・高浪 五男\*\*・井上 克司\*\*

## Data Acquisition System with Microcomputer

Kazuya FUKUSHIMA, Itsuo TAKANAMI and Katsushi INOUE

### Abstract

We construct a data acquisition system using microcomputer system KIM-1 whose CPU is MCS-6502. Analog data are converted to 8 bits digital data through MN7100 which is a module comprising a channel multiplexer, a sample-hold and an A/D converter. The converted digital data are stored in memory by software. The maximum speed for data acquisition is  $31 \mu\text{s}$  per data.

### 1. はじめに

アナログデータの解析には大別してアナログ計算機を用いる方法とデジタル計算機を用いる方法がある。前者は高速処理が期待できる反面、精度や解析範囲、解析手法の変化に対する柔軟性などの点からその適用範囲は制限される。一方、デジタル計算機による方法は処理速度の点ではやや劣るが、その他の点ではアナログ計算機の場合に比べて多くの利点をもっており、デジタル計算機によるデータ収集または処理システムが既に市販されている。しかし、これらは多くの汎用的機能をもっているため極めて高価である。

本報告では、時間的に変化するアナログ信号をA/D変換し、得られたデータをマイクロコンピュータを用いてメモリに記憶し、必要に応じてデータの平均値を求めたり、メモリ内のデータを取り出す安価なシステムを製作した。メモリ内のデータはこのシステムではオーディオ・カセットテープに記憶しておき、必要に応じてそれを再びメモリにストアできるようになっている。これによって、屋外でのデータの収集もできる。このシステムに紙テープパンチ機を接続することによりデータを紙テープにせん孔したり、機能の高いコンピュータシステム（例えば、パーソナルコンピュータ、ミニコンピュータ）に接続することにより高度の処理が可能となる。

\* 大学院電子工学専攻

\*\* 電子工学科

なお、本システムではソフトウェアによるデータの取込みを行っており、データの取込み周期は最小  $31 \mu\text{sec}$  である。

### 2. システムの構成と動作の概要

システムの構成を図1に示す。

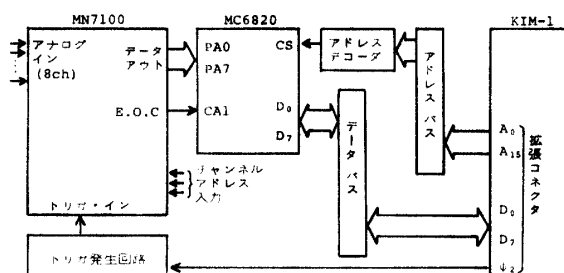


Fig. 1 Organization of Data Acquisition System.

システムの動作の概略を述べる。

(1) アナログ入力力は8チャンネルで、各チャンネルの選択は次の通りである。

- ① ロード端子=0のときはランダムモードとなり、チャンネルアドレス入力(3ビット)によって定まる。例えば010を入力すると第2チャンネルが選択される。
- ② ロード端子=1のときはシーケンシャルモードとなり、第0チャンネルから第7チャンネルまでを巡回的に選択する。

(2) トリガ信号に同期してアナログ信号のサンパ

リングを開始し、これが終わるとただちに A/D 変換を行なう。変換は逐次比較方式で、変換が終了すると E.O.C. から“0”を出力する。

(3) E.O.C. の立下りで PIA MC 6820 のコントロールレジスタ (CRA) のビット 7 が“1”となり、マイクロコンピュータ KIM-1 はこの CRA の内容を讀込んで変換が終了したことを知る。

(4) KIM-1 は MC 6820 のデータレジスタの内容 (A/D 変換されたデータ) を讀込み、予定された番地に格納する。次に格納すべき番地を 1 だけインクリメントする。

(5) 以後 (2)~(4) を繰返し、変換データ用に予約されているメモリが一杯になった時点ですべての変換動作を終了する。

### 3. 各構成要素の機能

#### 3.1 KIM-1 (マイクロコンピュータ システム)

KIM-1 の構成を図 2 に示す。

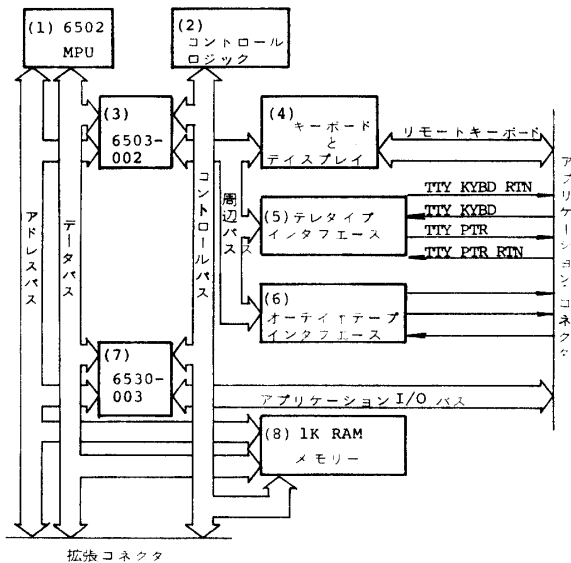


Fig. 2 Organization of Microcomputer System KIM-1.

##### (1) MPU 6502

このシステムの中央制御部として動作するマイクロプロセッサである。

##### (2) コントロールロジック

6502 と他のデバイスとの同期をとるために使われるタイミング信号と制御信号を作り出す回路である。

##### (3) 6530-002

キーボードとディスプレイ、テレタイプインターフェース、およびオーディオテープインターフェースと MPU との連絡を取りあう LSI で、モニタプログ

ラムの人っている ROM とアプリケーションプログラム用の RAM をもっている。

##### (4) キーボードとディスプレイ

このモジュールに付属しているキーボードと 7 セグメントのディスプレイを駆動する回路である。

##### (5) テレタイプインターフェース

外部に接続されるテレタイプのためのインターフェース回路である。

##### (6) オーディオテープインターフェース

外部に接続されるオーディオテープレコーダのためのインターフェース回路である。

##### (7) 6530-003

ユーザー用の入出力機器とのインターフェースを行なうデバイスで、カセット テープレコーダ用のモニタプログラムが入っている ROM 部とアプリケーションプログラム用の RAM 部をもっている。

##### (8) 1K RAM メモリ

ユーザープログラムやスタックのための RAM メモリである。

なお、MPU 6502, PIA 6820 の詳細な機能については文献 (7) を参照されたい。

図 3 は KIM-1 のメモリマップを示す。

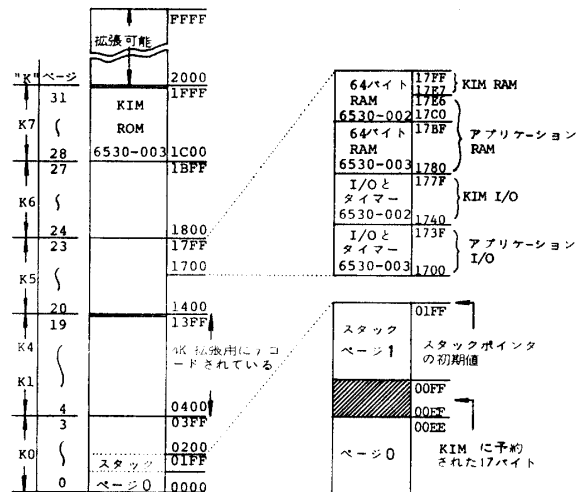


Fig. 3 Memory Map of KIM-1.

### 3.2 MN 7100 データ収集モジュール

#### 3.2.1 機能

これは、チャンネルマルチプレクサ、サンプルホールド、及び A/D 変換器を一つのパッケージに収めたモジュールで、次のような特性をもっている。

(1) 8 チャンネルのアナログ入力をほぼ同時に処理できる。

(2) A/D 変換されたデジタル出力は 8 ビットで、

誤差は±1/2 LSBである。

- (3) 変換速度は最高 11 μsec である。
- (4) ランダム,あるいはシーケンシャルに人力チャンネルを選択できる。
- (5) 内部クロックの周波数は 1.5 MHz である。
- (6) アナログ入力インピーダンスは 10 MΩ である。
- (7) 電源は±15 V および+5 V である。

MN 7100 の構成を図 4 に, 機能を図 5 に示す。

3.2.2 動作

各信号の働きを図 6 のタイムチャートに添って説明する。

- (1) トリガのポジティブエッジでチャンネルアドレスがセットされる。
- (2) トリガのネガティブエッジでサンプルホールドアンプをサンプルモードにし, システムのクロックを消去する。(サンプリング時の雑音の減少のため)
- (3) クロックの最初の立上りとともに E.O.C. が

“1” となり, A/D 変換プロセスが開始され, クロックは 8 つ連続する。

- (4) 最後のクロックパルスが E.O.C. をトリガする。
- (5) トリガ入力の少なくとも 100 nsec 前にチャンネルアドレス入力はセットされなくてはならない。

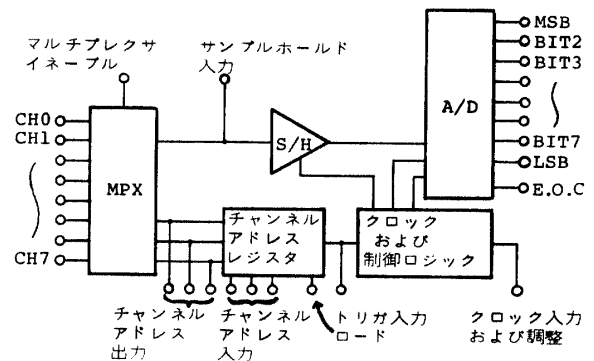


Fig. 4 Internal Architecture of MN7100.

デジタル入力	ロジック信号	説明	負荷	最小パルス幅	注意
マルチプレクサイネーブル	"1"	内部MPXをイネーブルする	1μA	ステータス	外部にマルチプレクサを付加して拡張しないときはロジック "1" にしておく
	"0"	内部MPXをディスエーブルする	1μA		
チャンネルアドレス入力	バイナリコード	ランダムアドレスモードのとき希望するチャンネルを選択する	TTL	125 nsec	トリガ入力の少なくとも 100 nsec 前にセットしておく。トリガの立上りで有効。
ロード端子	"1"	シーケンシャルアドレスモード	TTL	ステータス	トリガ入力の最初の立上りでロードされる
	"0"	ランダムアドレスモード			
トリガ	"0" to "1"	データ収集プロセスを開始	TTL	100 nsec	
クロック		システム・クロック	20 pF Parallel 30 K	100nsec.Min 400nsec.Max	1.5 MHz 最大. クロック周波数は変化させることができる. 外部クロックも使用できる
デジタル出力	ロジック信号	説明	最大負荷	注	意
データ出力	バイナリ	8ビットパラレル出力	6TTL		出力データは E.O.C が "0" になったあと有効となる
チャンネルアドレス出力	バイナリコード	チャンネルアドレス出力	3TTL		変換中のチャンネルを表示する
E.O.C.	"0"	変換プロセスが完了し出力データが取出せる	6TTL		トリガが LOW に戻ったあと 5μsec 後に E.O.C. がロジック "1" になる. そして、変換が完了したときロジック "0" になる

Fig. 5 Function of MN7100.

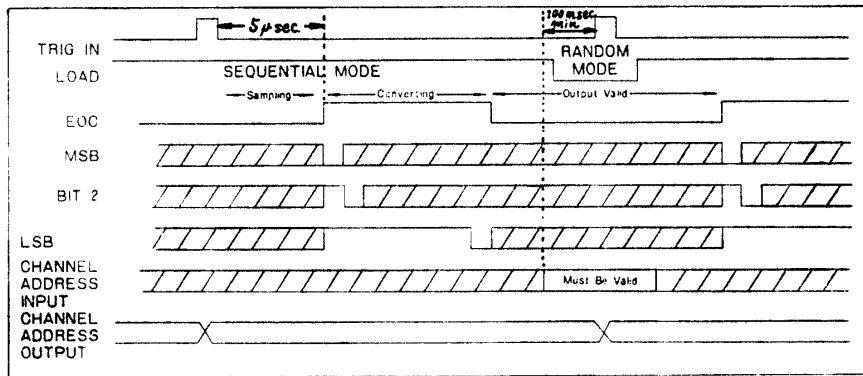


Fig. 6 Time Chart in MN7100.

(6) ロード端子が“0”の状態でランダムアドレスモードとなり、チャンネルアドレス入力によって入力アナログチャンネルが指定される。

3.2.3 入力信号と出力信号との関係

アナログ入力信号レベルとデジタル出力の関係を図7に示す。

アナログ入力 Volts	デジタル出力	
	MSB	LSB
- 10.000	00000000	
- 9.922	00000001	
- 0.078	01111111	
0	10000000	
+ 9.843	11111110	
+ 9.922	11111111	

Fig. 7 Correspondence between Analog Input and Digital Output.

アナログ入力を A (ボルト), デジタル出力を D とする。MSB から数えて D の i 番目のビットの重みは  $10 \cdot 2^{-(i-1)}$  である。したがってアナログ入力 A は一般に,

$$A = 10(d_0 \cdot 2^0 + d_1 \cdot 2^{-1} + \dots + d_7 \cdot 2^{-7} - 1)$$

と表わされる。ここで、 $d_0, d_1, \dots, d_7$  はデジタル出力 D の各ビットの値で,

$$d_0, d_1, \dots, d_7 \in \{0, 1\}$$

である。

4. ハードウェア

4.1 システムバスのバッファリング

システムに種々の装置の付加, 及び高速データ取込

みのための DMA の付加を考慮して, 図8のようなシステムバスのバッファとその制御回路を追加した。

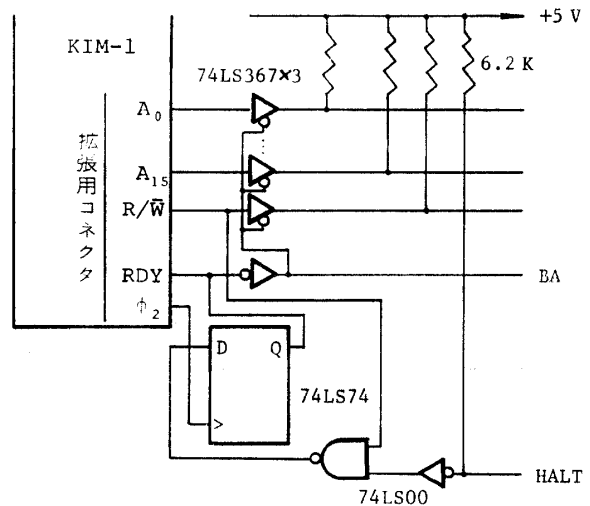


Fig. 8 Buffering of System Bus.

4.2 PIA の番地の割付け

本システムではデータのメモリーへの格納をソフトウェアで行なっているため、データを高速で読込むにはプログラムをできるだけ短くする必要がある。

MPU は PIA 6520 のデータレジスタに割当てられたアドレスを指定してそのデータを読込む、ゼロページ (\$0000~\$00FF 番地) のデータを読込むための 1 命令とゼロページ以外のデータを読込むための 1 命令は前者が 1 クロック, すなわち  $1 \mu\text{sec}$  少なくてもよい。このような理由から、PIA 6520 のアドレスをゼロページに割付ける。KIM-1 のアドレスマップから、本稿では \$0000~\$0007 番地を割当てる。この番地は KIM-1 が用いる 1 KRAM の領域 (\$0000~\$03FF 番地) と重なるため、図9のように回路変更を行ない、重ならないようにした。

PIA の各内部レジスタの番地割付けは図10の通りである。

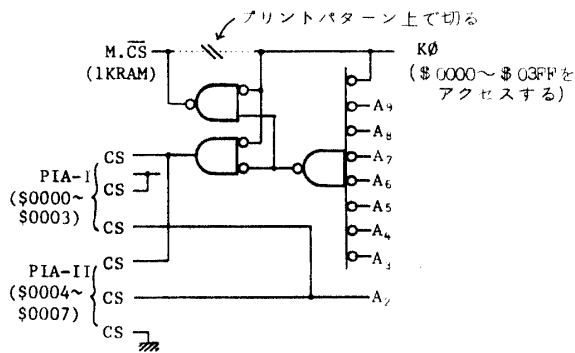


Fig. 9 Circuit Assigning Address for PIA.

	アドレス	レジスタ	
PIA-I	\$0000	ポート A	データ関係レジスタ
	\$0001		コントロールレジスタ
	\$0002	ポート B	データ関係レジスタ
	\$0003		コントロールレジスタ
PIA-II	\$0004	ポート A	データ関係レジスタ
	\$0005		コントロールレジスタ
	\$0006	ポート B	データ関係レジスタ
	\$0007		コントロールレジスタ

Fig. 10 Addresses Assigned for Registers in PIA.

4.3 回路の詳細

図11に MN7100, PIA, 及び KIM-1 間の相互接続を示す。

図12はトリガ回路で、KIM-1の内部信号φ<sub>2</sub>(1MHz)をカウンタ74LS90で、図12(a)のようにカウントダウンしていくつかの周波数のトリガ信号を得る。図12(b)はトリガ周波数を選択する回路である。

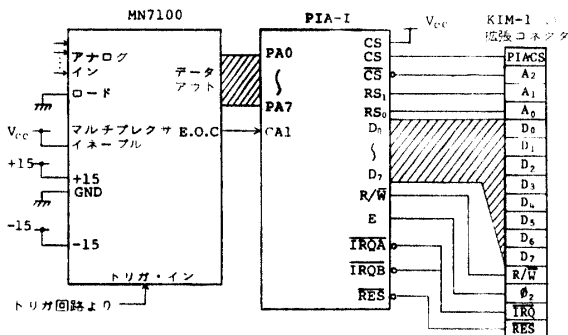
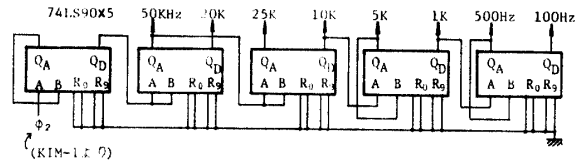
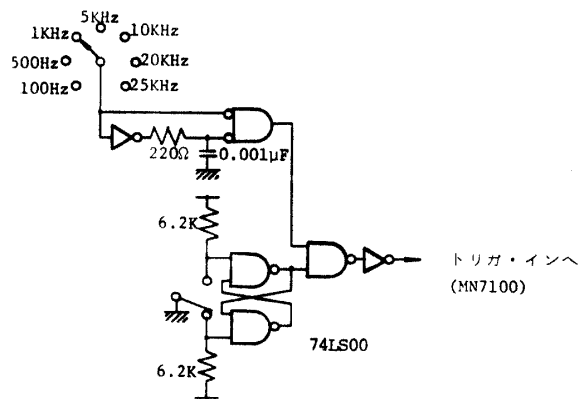


Fig. 11 Interconnection between MN7100, PIA and KIM-1.



(a) Counter Circuit



(b) Circuit Selecting Triggering Interval

Fig. 12 Circuit Generating Trigger Pulse.

5. ソフトウェア

図13は処理の手順の概略を示す。

- (1) 次々に A/D 変換されたデータを KIM 内のメモリに取り込む。
- (2) 取り込まれたデータ (2進数) のうち最初から1024個の平均値を計算する。

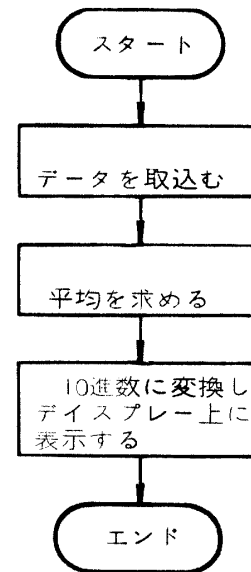


Fig. 13 Brief Flow-Chart.

(3) 平均値を10進データに変換し小数点第3桁まで表示する。

図14はデータ取込み手順である。データはポートAのデータレジスタ(\$0000番地)にラッチされている。図14の手順が終ると、次に平均値を求めるルーチンに進む。

ここでは\$0400番地から\$07FF番地までの1024個のデータの和を求める手順を述べる。

図15は演算用とMPUのレジスタの退避用に割り当てた番地を示す。

図16は和を求める手順である。初めにポインタと演算用レジスタの初期化を行なう。\$0014, \$0015, \$0016番地の3バイトでデータの和を表わす。

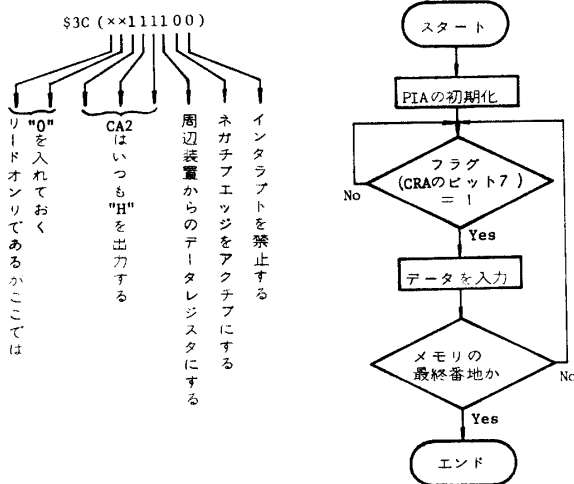


Fig. 14 Brief Flow-Chart for Acquiring Data.

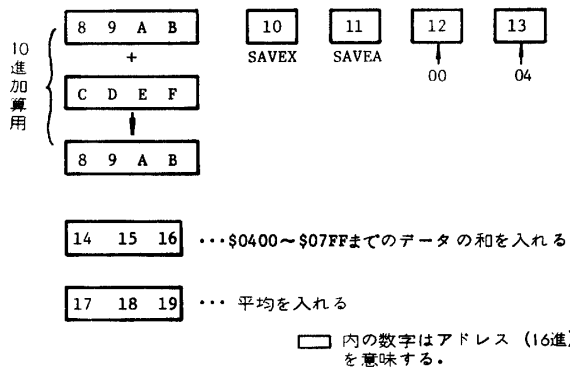


Fig. 15 Addresses Assigned for Working Registers and Saving Registers in MPU.

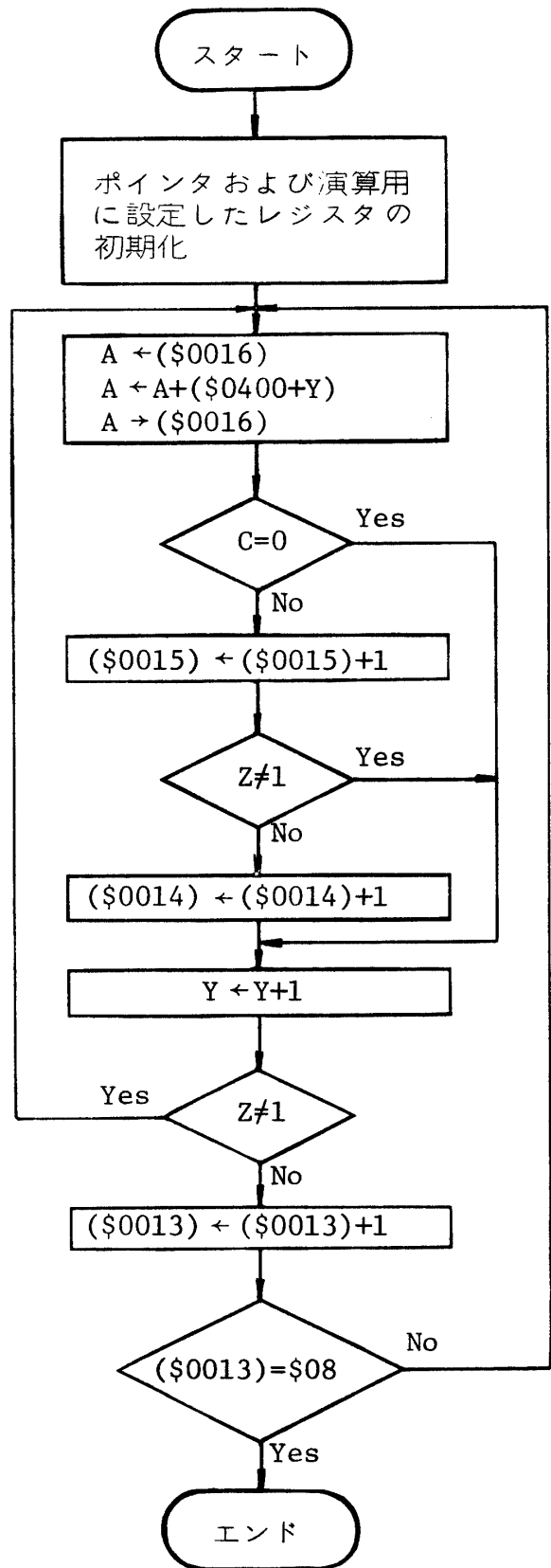


Fig. 16 Routine for Computing Sum.

図17は平均値を求めるルーチンである。結果は\$0019番地に求まる。

図18は以上のルーチンで求められた平均値を正負の示された10進データに変換し、それを表示するルーチンである。

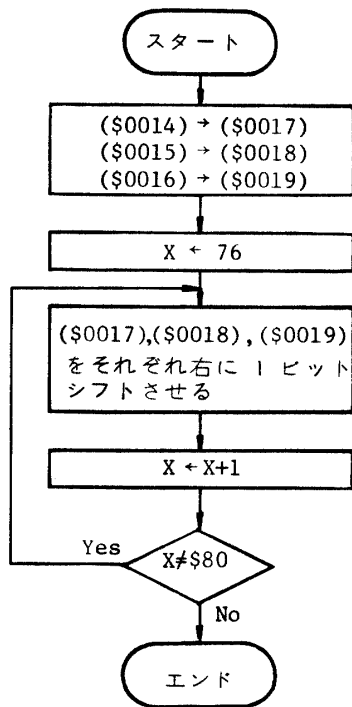


Fig. 17 Routine for Computing Mean Value.

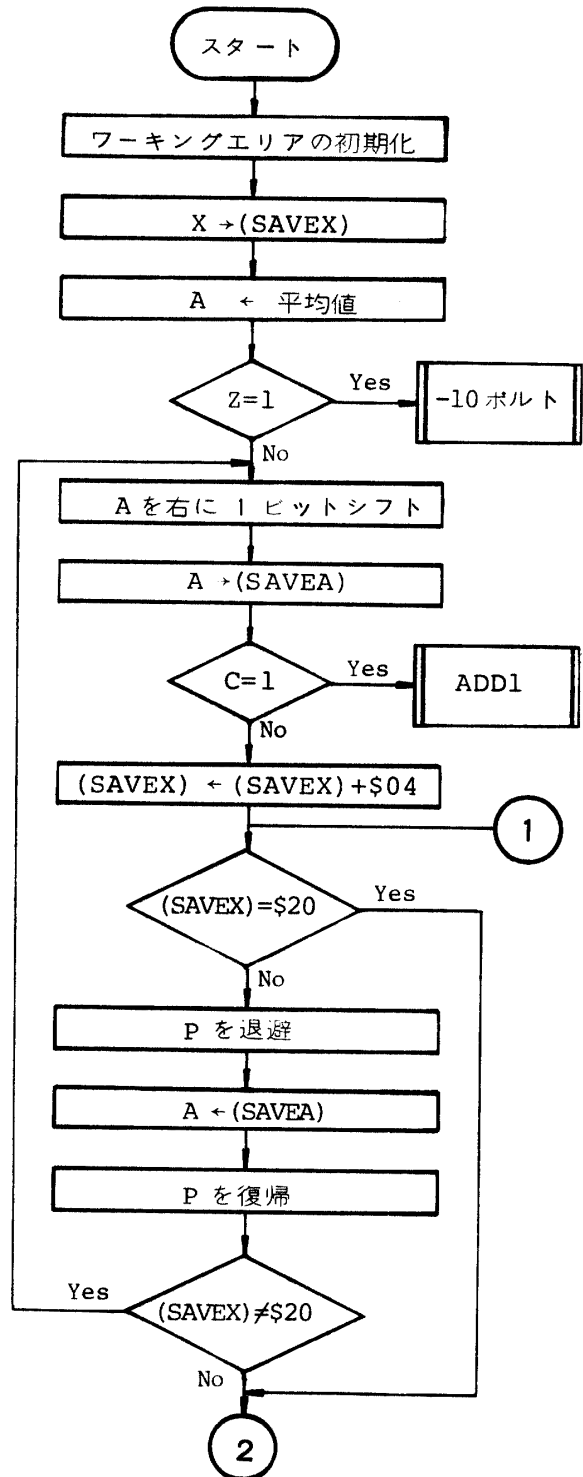


Fig. 18-1

Fig. 18 Routine for Converting the Computed Binary Mean Value to Signed Decimal and Displaying it.

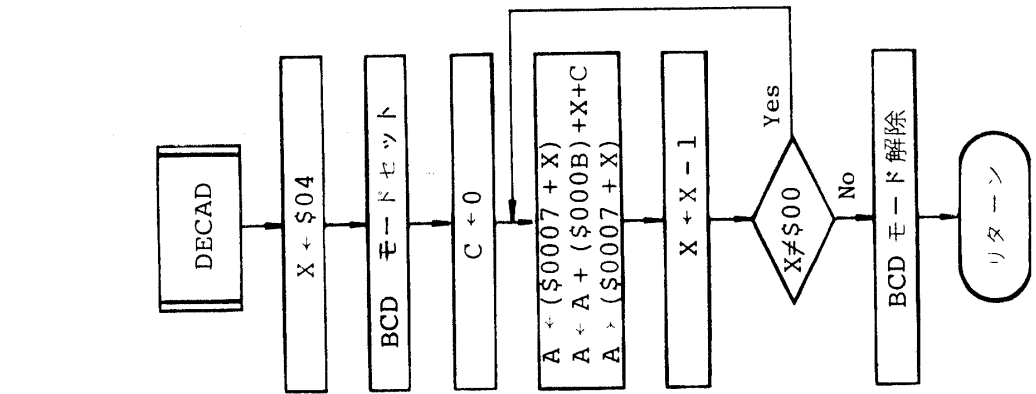


Fig. 18-3

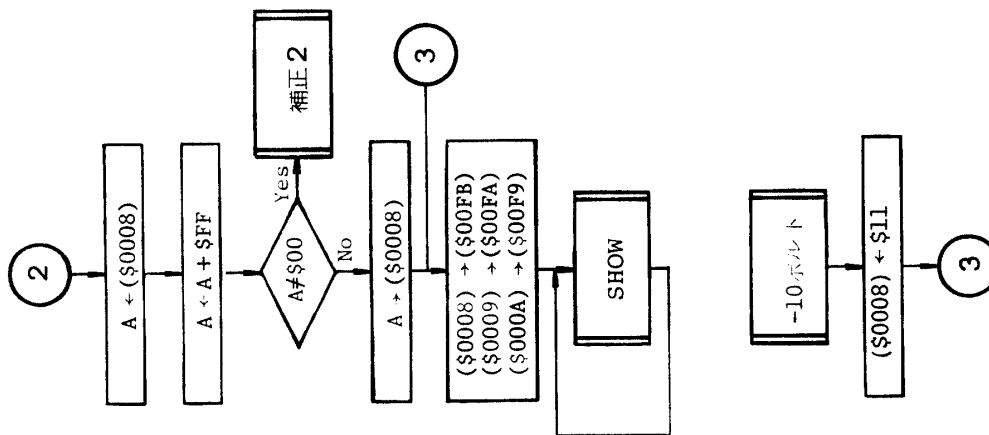


Fig. 18-2

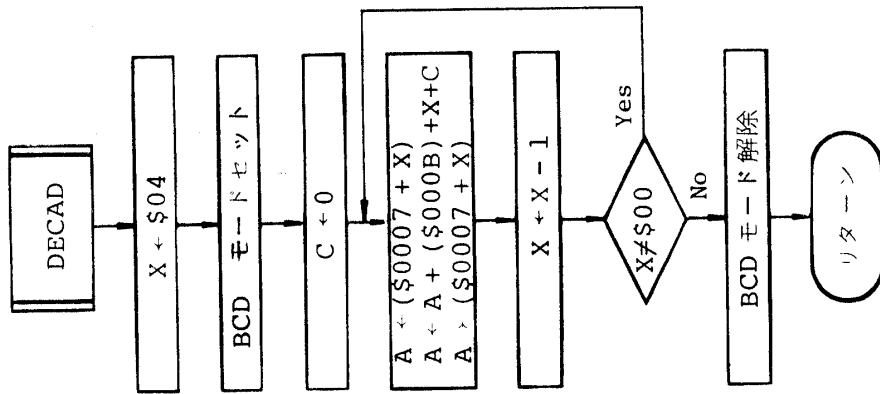


Fig. 18-4



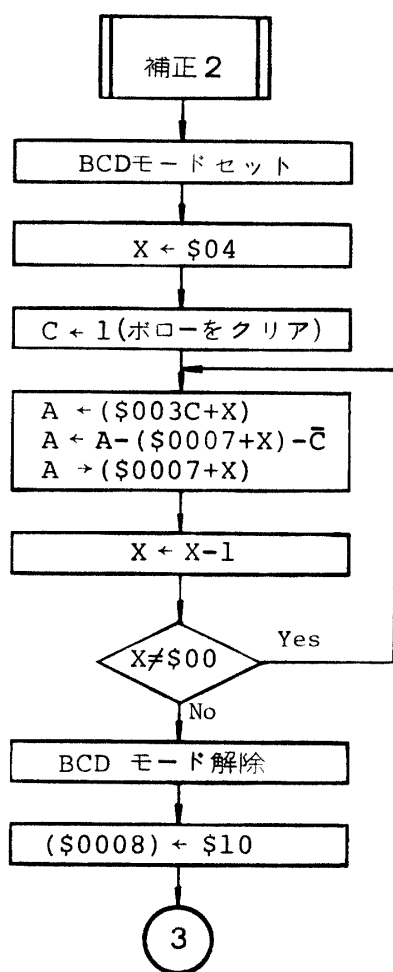


Fig. 18-5

## 5. むすび

本システムはデータ収集を行なう基本的機能しかもっていない。これをベースにして、今後次のような

機能の増大を考えている。

- (1) ソフトによるデータ取込み周期の設定
- (2) DMA方式によるデータの高速取込み
- (3) メモリの増設によって1度に3万個のデータの取込みを可能にする。
- (4) ミニコンピュータ MELCOM 70/25 への接続によって高度の処理を可能にする。
- (5) パーソナルコンピュータ PET への接続によって高度の処理を行なう。

## 参 考 文 献

- 1) 岡村勉夫：解析デジタル回路第6版，CQ出版社，(1976)
- 2) 松本吉彦：私だけのマイコン設計 & 製作第2版，CQ出版社，(1977)
- 3) マイクロネットワークス社 AD・DA コンバータ総合カタログ，インターニックス株式会社，(1977)
- 4) "MCS6500 MICROCOMPUTER FAMILY PROGRAMMING MANUAL" Second Edition, MOS TECHNOLOGY, INC. (1976)
- 5) "MCS6500 MICROCOMPUTER FAMILY HARDWARE MANUAL" Second Edition, MOS TECHNOLOGY, INC. (1976)
- 6) "KIM-1 MICROCOMPUTER MODULE USER MANUAL" Second Edition, MOS TECHNOLOGY, INC. (1976)
- 7) 八田，高浪，井上：MCS-6502 を CPU とするマイクロコンピュータシステム，山口大学工学部研究報告，29，103 (1978)

(昭和54年4月16日 受理)