

分類機能をもつ連想記憶装置について

平田 威彦*・溝尻 由美夫**

The Associative Memory provided the Sorting Function

Takehiko HIRATA and Yumio MIZOZIRI

Abstract

A. D. Falkoff showed the algorithms for maximum or minimum, greater than or less than searches and so on, with the logic circuits for the simple search.

Generally speaking, the simple search causes the multi-matched informations in the associative memory. Lewin and some other investigators devised the ordered retrieval.

In this paper, the logic circuits that can discharge the function of the comparisons of "greater than", "less than", and "equal to" at the same time, is designed, and the associative memory provided the sorting function, is structured, where this function can be helpful to the ordered retrieval.

Besides, the associative memory is designed to discharge the function of the interrogations of "maximum or minimum", "greater than or less than", "greater than and less than", and "simple" searches for the stored information.

1. 緒 言

近年、人間の思考作用の基本となっている連想機能を計算機や情報検索系にも持たせて、更に高級な情報処理を行なわせようと種々考案されている。この連想がいかにして行なわれるか、生理学的には、今のところほとんど解明されていない。しかし、情報を記憶する神経細胞（ニューロン）は論理的機能をもつことが知られている。心理学的には、多くの説が立てられているが、決定的なものは、出されていない現状である。しかし、連想が行なわれる記憶情報が、いかにして記憶されているかについては、ほぼ固定的な説が存在する。それは、ある概念を表わす情報が、脳のある領域に分布して記憶されている。いわゆる分布論理記憶、及び連想記憶である。脳における記憶情報に対して行なわれる情報処理は一般の電子計算機と違って情報の内容そのものを処理している。脳における演算形式は、並列演算である。

現在使用されている計算機は、アドレスの追跡がプログラムの大部分を成している。しかし、上記のニューロンに対応して論理機能をもつ記憶セルを用い、並列処理機能をもつ記憶装置いわゆる連想記憶装置

(Associative Memory) を構成すると、アドレスの追跡のかわりに情報の内容そのものによって情報処理が行なわれる。このような方式を情報検索（とくにキーワード検索系）に使用する目的で、分類機能（sorting function）をもつ連想記憶装置を構成した。連想記憶装置内の記憶情報に対する単純探索（simple search）において、複数一致が生じる場合がある。この場合、一致したものを大きい順または小さい順に取出すための順序取出しをハードウェアで補う目的で、前記の分類機能を用いる。

他にこの記憶装置により、最大最小、以上または以下、単純の探索を記憶情報に対して行なうことができる。

2. 記憶装置の概要

連想記憶装置のブロック図を Fig. 1 に示す。問合せレジスタ（search register）は、記憶装置内の情報を探索するためのレジスタである。これは、読出し用レジスタとしても用いる。マスクレジスタ（mask register）は、問合せレジスタの任意の桁の内容を探索の際にマスクするために用いる。問合せレジスタとマスク用レジスタはいずれも n ビットである。メモ

* 電気工学科

** 大学院電気工学専攻

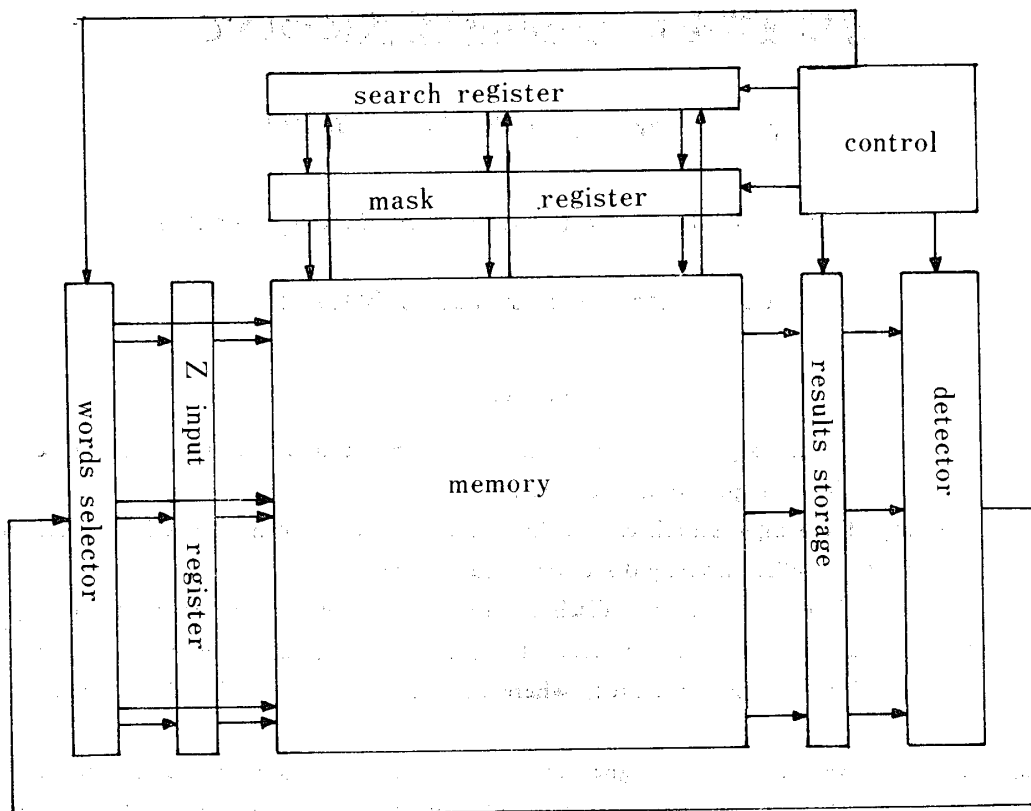


Fig. 1 Block diagram of Associative Memory

リは、記憶セルの配列 ($m \times n$) であり、セルの1行が1ワードレジスタに相当する。z 入力用レジスタは、問合せレジスタの内容とメモリ中の情報（即ちワードレジスタの内容）とを比較するための駆動入力を与えるものであり、 m ビットである。探索結果表示器 (results storage) は、問合せデータとワードレジスタ中の情報との比較結果を示すもので、各ワードレジスタに対し、そのための Flip Flop 2つずつ設けている。検出器 (detector) は希望する条件を満たしている情報の有無を検出する。ワードレジスタのビットの重みは、左から右へ（セルのマトリックスでいえば1例から n 列へ）いくにしたがって小さくなる。語選択器 (words selector) は書込み、比較、読出し、シフトの際にワードレジスタを選択するもの。マスク信号と問合せ情報は、ワードレジスタの各セルをカスケードしている。

比較の形式は見掛け上、Parallel-by-digits, Parallel-by-words であるが、あるセルの出力が次段セルの入力となる点を考えると、Serial-by-bits, Parallel-by-words になっている。

3. 比較回路

Vol.23 No.3 (1973)

まずマスクなしで、大、小、一致の同時比較を行うためのセル内論理回路を構成する。セル内の2つの比較出力 \hat{z}_1, \hat{z}_2 により、問合せレジスタの任意の1つの桁の内容 x と任意のワードレジスタのさきと同一の桁のセルの内容 y とを比較した結果出力を与えるものとする。この出力 \hat{z}_1, \hat{z}_2 は次段セルへの入力 z_1, z_2 となる。初段セルへの駆動入力は Fig. 1 に示した z レジスタにより与える。取扱う情報 $x, y, \hat{z}_1, \hat{z}_2, z_1, z_2$ は「0」、「1」の2値からなる。

Table 1 Comparison outputs \hat{z}_1, \hat{z}_2 in a cell

\hat{z}_1	\hat{z}_2	x と y との関係
0	0	ワードレジスタが選択されていないことを表わす
0	1	$x < y$
1	1	$x = y$
1	0	$x > y$

セル内比較による出力 \hat{z}_1, \hat{z}_2 のもつ2進数値の組合せは Table 1 の様に定めることができる。その組合せに「x と y との関係」を振分ける。ただし、注意しなければならないことは、この振分け方は4!個あ

る。そのため比較回路を構成するための論理関数 \hat{z}_1, \hat{z}_2 は 4! 個ずつ考えられる。しかし、双対性より 4! / 2 個ずつの振分け方を考えればよい。この (4!/2) × 2 個の論理関数を調べた結果 Table 1 に示す振分け方が、論理関数を最も簡単化できる。Table 1 に従って作成すると、 \hat{z}_1, \hat{z}_2 の論理式は、カルノー図表 Fig. 2 を用いて、(1)式、(2)式になる。空白の部分は 0 を示す。

	xy	\hat{z}_1				\hat{z}_2			
z_1z_2		00	01	11	10	00	01	11	10
00									
01						1	1	1	1
11		1		1	1	1	1	1	
10		1	1	1	1				

Fig. 2 Karnaugh maps for \hat{z}_1 and \hat{z}_2

$$\hat{z}_1 = z_1(\bar{z}_2 + x + y) \quad (1)$$

$$\hat{z}_2 = z_2(\bar{z}_1 + \bar{x} + y) \quad (2)$$

この(1)式、(2)式のセル内論理回路は Fig. 3 のようになる。

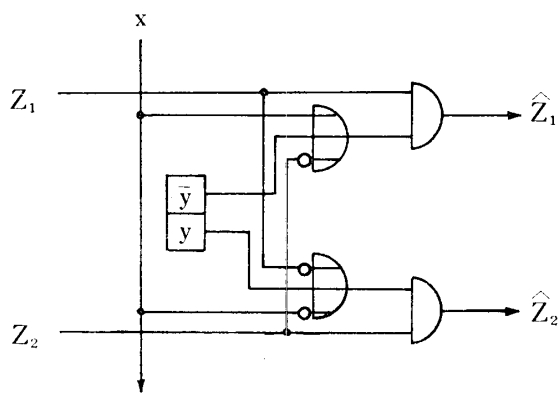


Fig. 3 Comparison logic circuit of no mask function in a cell

次にマスク機能をもつ比較回路を示す。ここでマスク信号を表わす変数 m を用いる。 m の取る値は「0」「1」の 2 値のいずれかである。 $m=0$ のときは、 m 線がカスケードしているワードレジスタの桁の内容は比較の際にマスクされる。 $m=1$ のときは、その内容は問合せレジスタの内容と比較される。「比較出力の組合せ」と「 x と y との関係」の振分けは、Table のものを用いる。そこでカルノーマップ Fig. 4 を使って比較論理関数 z_1, z_2 を求めれば次式を得る。

	xy	m=0				m=1			
z_1z_2		00	01	11	10	00	01	11	10
00									
01									
11		1	1	1	1	1		1	1
10		1	1	1	1	1	1	1	1

(a) \hat{z}_1

	xy	m=0				m=1			
z_1z_2		00	01	11	10	00	01	11	10
00									
01		1	1	1	1	1	1	1	1
11		1	1	1	1	1	1	1	
10									

(b) \hat{z}_2

Fig. 4 Karnaugh maps for \hat{z}_1 and \hat{z}_2

$$\hat{z}_1 = z_1(\bar{z}_2 + \bar{m} + x + y) \quad (3)$$

$$\hat{z}_2 = z_2(\bar{z}_1 + \bar{m} + \bar{x} + y) \quad (4)$$

この回路を構成すると(3)、(4)式のカッコの中の変数が多いので、Table 2 のような関数 f_1, f_2 を用いてマスク情報と問合せ情報とを表わすこととする。この関数は(5)、(6)式であらわされる。

Table 2 Relations between f_1, f_2 and m, x

m	x	f_1	f_2
0	0	0	0
0	1	0	0
1	1	1	0
1	0	0	1

$$f_1 = mx \quad (5)$$

$$f_2 = m\bar{x} \quad (6)$$

この(5)、(6)式を(3)、(4)式に代入すると

$$\hat{z}_1 = z_1(\bar{z}_2 f_2 y) \quad (7)$$

$$\hat{z}_2 = \bar{x}_2(\bar{z}_1 f_1 y) \quad (8)$$

となる。 f_1, f_2 は各ワードレジスタの同一桁をカスケードする。この(7)、(8)式による論理回路は、Fig. 5 のようになる。

このマスク比較回路を用いて、問合せ情報とワードレジスタの内容とを比較した結果を表示する表示器 (Fip Flop) の示す値は Table 3 の様になる。

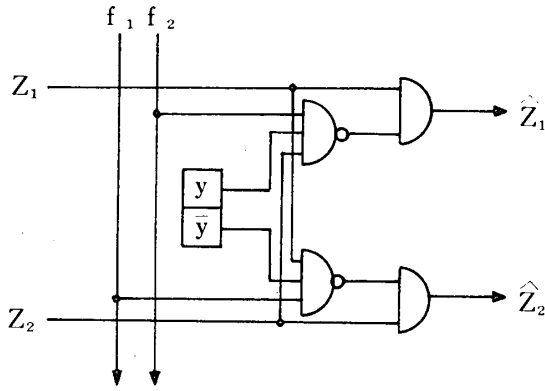


Fig. 5 Comparison logic circuit of mask function in a cell

Table 3 Results of comparison inquiry data with data in word registers

Z ₀₁	Z ₀₂	問合せデータとワードレジスタの内容との関係
0	0	ワードレジスタが選択されていないことを表わす
0	1	(問合せデータ) < (ワードレジスタの内容)
1	1	(問合せデータ) = (ワードレジスタの内容)
1	0	(問合せデータ) > (ワードレジスタの内容)

4. 機能

4.1 分類

分類しようとしているデータが、連想記憶装置内にランダムに入っているものとする。ワードレジスタ内の内容全体を2進数と見なす。分類の仕方は次のようになる。

1行目のワードレジスタ内の内容を問合せレジスタに読出す。この問合せデータと m 行目のワードレジスタ内の内容とを比較する。問合せデータより小さければ、メモリ全体をシフトし、m 行目のワードレジスタ内に問合せデータを書込む。もし大きければ、(m-1) 行目から 1 行目までのワードレジスタの内容を同時シフトし (m-1) 行目のワードレジスタに問合せデータを書込む。次に、再度、1 行目のワードレジスタから読出し、この情報と m、(m-1) 行目のワードレジスタの内容を比較し、問合せデータより小さい内容(データ)をもつワードレジスタの行以下の行のワードレジスタを同時シフトする。問合せデータより小さいデータをもつワードレジスタのうち最大行番号のワードレジスタに問合せデータを書込む。m、(m-1) 行目のワードレジスタの内容が問合せより大きい場合は (m-2) 行~1 行のワードレジスタを同時シ

フトして (m-2) 行目に問合せデータを書込む。これを続けるとメモリ内のデータは全て分類される。

4.2 以上または以下、以上かつ以下探索

分類されたデータに対し、以上(または以下)の探索を行なう。この場合、全ワードレジスタに z 入力を与え表示器の示す値 z₀₂ (以下のとき z₀₁) が 1 になっているワードレジスタ内の情報が求めるものになる。

また、以上かつ以下探索の場合は、以上探索で、z₀₂ が 1 になったワードレジスタのみ z 入力を与えて以下探索を行なう。この結果 z₀₁ が 1 のワードレジスタが求める情報を持っている。

他に最大最小、単純(一致、不一致)の探索も行なえる。

4.3 読出し

探索した情報を読出す場合は、順に第 1 行から第 m 行へと z₀₁, z₀₂ の中で要求を満たしているワードレジスタから読出せば、小さい順に取出せる。

4.4 論理回路

4.1~4.2 節で述べた機能をもたせるためのセルの論理回路は Fig. 5, Fig. 6 に示すようになる。書込みの場合、f₁ 線、f₂ 線のもつ情報が「0」、「0」となるときがある(マスクのとき)。このため書込み情報 x が f₁ 線で伝わらないのでバイパス用回路 Fig. 6-(a)を用いる。

$$W = \begin{cases} 1 : \text{WRITE} \\ 0 : \text{otherwise} \end{cases}$$

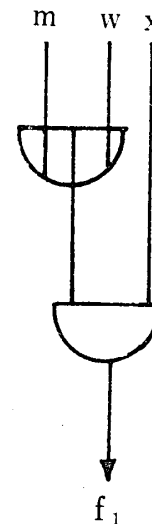


Fig. 6-(a) Bypass circuit for WRITE

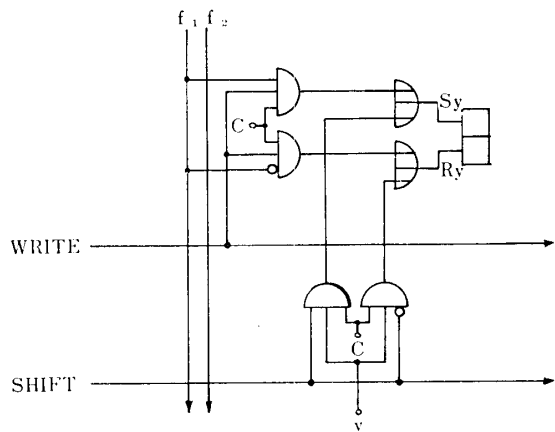


Fig. 6 —(b) WRITE and SHIFT circuits

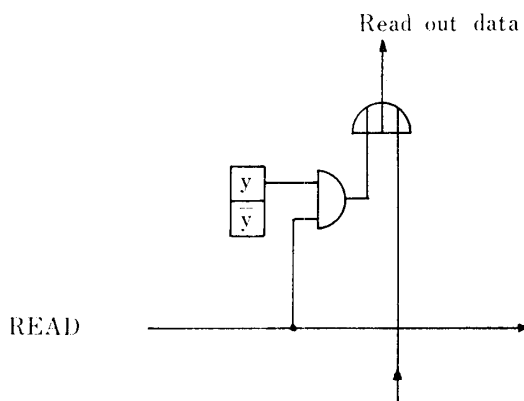


Fig. 6 — READ OUT circuit

5. 結 論

(1), (2), (7), (8)式によって構成されるセル論理回路を用いた機能を FACOM 230—60により FORTRAN プログラムで論理シミュレートした結果、満足な結果が得られた。

問題点として、シフト回路の使用効率が良くないと思われるので、この回路と書込み回路の両方の機能を兼ねた回路を構成することが残されている。

利点としては、分類されたデータに対するキーワード探索において問合せのデータに対して希望する条件を満足するメモリ中の情報が小さい順、または大きい順に1回または2回の探索で取出せることである。

参 考 文 献

- 1) R. R. Seeber and A. B. Lindquist : IBMJ., 6, 126 (1962)
- 2) A. D. Falkoff : J. A.C.M., 9, 488 (1962)
- 3) 山口徹郎 : 電験彙報, 30, 969 (1966)
- 4) H. S. Miller : IEEE, EC—13, 614 (1964)
- 5) 平田威彦, 溝尻由美夫 : 昭和47中国支部連大32327 (1972)

(昭和47年12月15日受理)