

PCM 録音装置の試作 (第 1 報)

—記録系回路について—

西川正明*・永富和行**・古前仁司**

Trial Construction of a PCM Recording Adapter (First Report)

—On The Design and Operation of the Recording System—

Masaaki NISHIKAWA, Kazuyuki NAGADOMI and Hitoshi KOMAE

Abstract

A recording and reproducing circuit has been constructed as a PCM audio recording adapter which can be used in conjunction with the usual home type video tape recorder. This report describes the design and operation of its recording part.

In order to realize two channel, 20kHz band recording having a dynamic range of 70 dB or more, the PCM sampling frequency of 44.1 kHz and the quantized data code of 12 bits/sample were selected. Four check bits were added to the data code to detect the code error. The group of 130 bits digital signal including 96 bits of data and check bit for 3 input signal samples, data synchronizing pulse and video horizontal synchronizing pulse were recorded with a bit rate of 2.0475 Mbits/s within one horizontal scanning period on the video recording tape.

1. ま え が き

従来の高周波バイアス録音方式の性能限界を打破する新しい録音方式として、最近、PCM (Pulse Code Modulation) 技術をとり入れた録音方式の実用化が注目を集めている。¹⁾ この PCM 録音方式の原理的な試作はすでに 10 年近く前に行われている²⁾が、主としてコスト的な面から一般化するには至らなかった。しかし近年の VTR (Video Tape Recorder) の低価格化や集積回路技術の進展により PCM 録音が比較的簡単に実用化できそうな状況になったため、ここ数年来その開発が活潑になっている。^{3), 4)}

PCM 録音方式では高周波バイアス録音方式のように音響信号をアナログ的に磁気テープに記録するのではなく、アナログ-デジタル変換してデジタル符

号として記録する。このため、その録音特性は磁気テープ・ヘッド系のアナログ的な性質にはさほど制限をうけず、むしろ PCM 符号化の設計要因によって決まる面が多い。このことから PCM 録音方式を使用すれば従来の高周波バイアス方式では達成が難しいような優れた録音特性を実現することができる。しかし一方、磁気テープへの記録信号の周波数は数十倍高くなるためテープ・ヘッド間の走査速度を速くする必要があり、また記録・再生過程でのデジタル符号誤りの影響で耳ざわりな雑音を発生する恐れがあり、これに対する有効な対策を検討することも必要である。

ここでは PCM 録音方式の特性、コスト及び技術的問題を検討するため、家庭用 VTR を録音機として利用することを前提に 20kHz までの音響信号を 2 チャンネル PCM 録音するための記録再生回路を試作した。本報告では主としてその記録系回路について設計、試作結果を述べる。

* 電気工学科

** 大学院電気工学専攻

2. 方式的設計

2.1 設計目標と使用 VTR

性能目標としては、信号周波数範囲 20kHz, チャネル数 2, ダイナミックレンジ 70dB 以上を想定した。この場合、記録機における記録信号のビットレートは 2チャンネル記録の場合、後述のように 2Mbit/s 程度となるから一般のテープレコーダは使用できない。ここでは記録機として家庭用カセット形 VTR (ソニー社製ベータマックス SL-7100) を使用することとした。

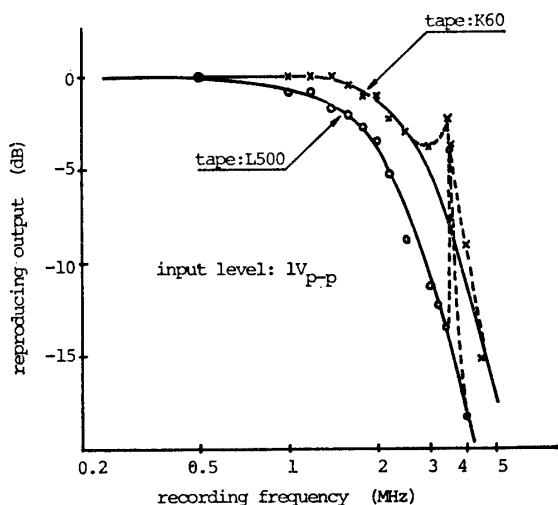


Fig.1 Input-output frequency characteristics of the used VTR.

Fig.1 にこの VTR の周波数特性の実測結果を示す。また、方形波記録に対する再生応答波形を観測した結

果、立上り時間 $t_{0.1 \rightarrow 0.9}$ は約 $0.8 \mu s$, 立下り時間 $t_{0.9 \rightarrow 0.1}$ は約 $2 \mu s$ であった。この VTR は 2ヘッドヘリカル走査形 VTR で、ヘッド切替えはテレビジョン信号の垂直ブランキング期間においてなされる。この VTR を利用するためには信号の間に所定の水平、垂直同期信号や等化パルスを挿入する要があり、このため、PCM 符号化されたデータ信号は適当なメモリを利用してこれらの同期信号期間を避けた期間に間欠的に記録する必要がある。

2.2 記録・再生系のブロック構成

Fig.2にPCM記録・再生系の全体的なブロック構成を示す。

記録系ではまず入力音響信号を再生時の折返し雑音を防ぐための低域フィルタ (LPF) に加えた後、サンプルホールド回路 (S/H) により一定の標本化周期でアナログ信号を標本化し、標本値を各周期ごとに保持させる。この保持標本値を次段のアナログーデジタル変換器 (A/D) によって量子化し n ビットの並列デジタル符号として符号化する。

次段の Rメモリにこのデジタル符号を標本化周期ごとに連続的に書込む一方、その内容を VTR の同期信号挿入期間など所定の禁止期間をさけつつ間欠的に順次読出し、次のミクス回路 (mix) に加える。ミクス回路では 2チャンネルの Rメモリ読出し符号を交互にゲートして次段の並列/直列変換器 (P/S) に加え、並列符号を直列デジタル符号に変換する。また、同時に符号誤り検出のため、チェックビット発生器 (CHK) で

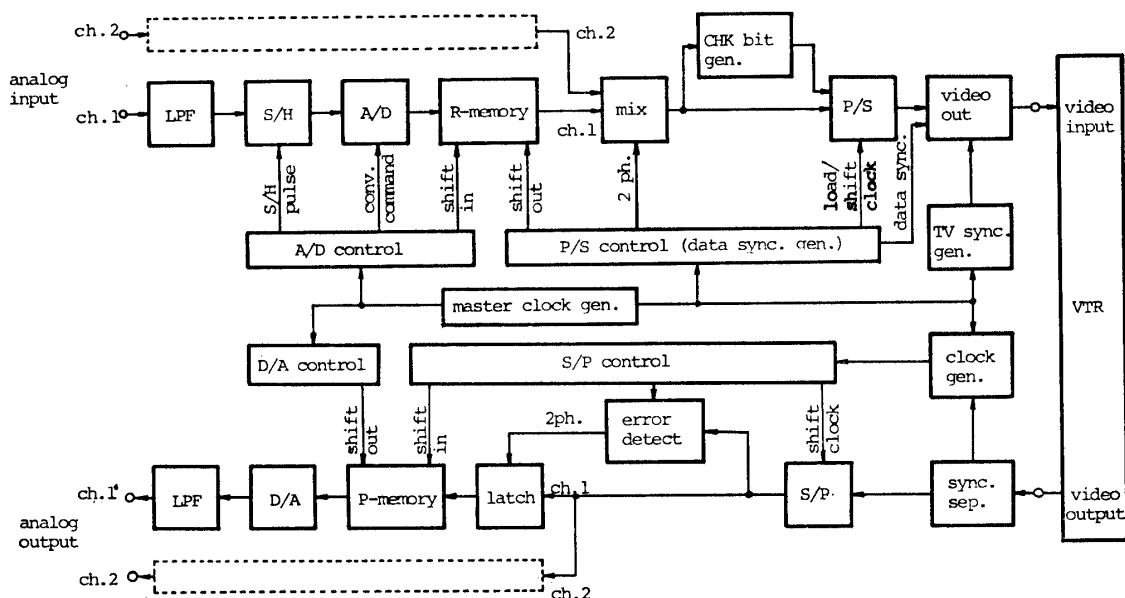


Fig.2 Overall block diagram of the PCM recording adapter.

チェック符号を作り、P/Sの入力に並列に加える。P/Sの出力はビデオ信号出力回路において、別にTV同期信号発生器により作った各種の同期信号と所定の時間関係を保つように合成し、これをVTRの記録入力端子へ送出する。

再生系ではVTRからの再生信号をまず同期信号分離回路に加えてデータ信号と同期信号とに分離し、前者を直/並列変換器(S/P)で並列デジタル符号に変換する。このときビット同期用シフトクロックが必要であるが、これは再生信号自身で制御されるクロック発生器から供給する。S/P変換された並列符号は誤り検出回路へ送るとともに正味の n ビットデータ部分はラッチ回路に蓄える。誤り検出で誤りがないと判断したらラッチ回路のデータ符号は次段のPメモリに送出する。誤りありと判断したらラッチ回路の内容はひとつ前のデータをそのまま保持し、Pメモリには同じデータを続けて送出する。つまり誤りがあった場合にはその直前のデータでその部分を代用する、いわゆる前値ホールド動作を行わせることになる。

Pメモリは記録系におけるRメモリと逆の機能を果たさせるためのもので、VTRの同期信号等の期間は途切れて書込まれるデータを蓄えこれを一定の標本化周期で読出し連続的なデータ符号として次段のデジタルアナログ変換器(D/A)へ送出する。D/Aでは入力の並列デジタル符号の組合せによりアナログ信号に変換し、これを低域フィルタ(LPF)に加えて不要な高周波スペクトラムを除き原信号に戻す。

2.3 記録系の方式パラメータと記録フォーマット

PCMにおける標本化周期 f_s 及び量子化ビット数 n と目標とする信号最高周波数 f_m 及びダイナミックレンジ D とは周知のように次の関係にある。

$$f_s \geq 2f_m \quad (1)$$

$$D = 10 \log_{10} \left(\frac{3}{2} 2^{2n} \right) \doteq 6n + 1.8 \text{ (dB)} \quad (2)$$

一方、VTRへの記録を考える場合、連続的に標本化される標本値(これは実際には符号化されて n ビット信号になる)は、前述のようにVTRの磁気テープ上ではFig.3に示すように垂直ブランキング期間(この期間を水平走査線数でいってフィールド当り $x/2$ 本分とする)を避けて間欠的に記録する必要がある、また信号処理の単純化のためにはVTRの1水平期間 $1/f_H$ (f_H :水平走査周波数)に整数個の標本値が記録されるようにするのが望ましい。このため、標本化周波数 f_s と水平走査周波数 f_H とは図からわかるように

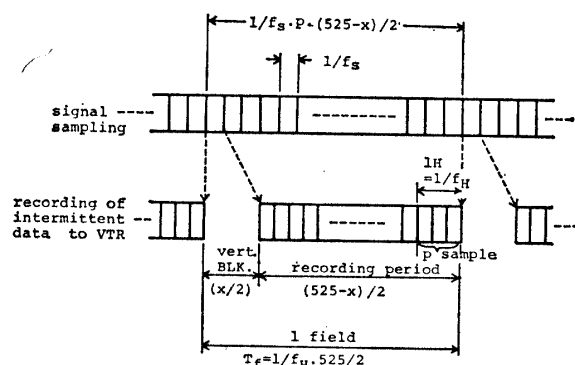


Fig.3 Time relationship between the signal sampling and recording of the sampled signal on the VTR tape.

$$\frac{1}{f_s} \cdot p \cdot \frac{525-x}{2} = \frac{1}{f_H} \cdot \frac{525}{2}$$

すなわち、

$$f_s = f_H \cdot p \cdot \frac{525-x}{525} \quad (3)$$

の関係を満たさねばならない。ただし、 p は1水平期間に記録するチャンネル当りの標本数で整数である。(なお上式の525は標準テレビジョン方式における1フレーム当りの水平走査線数)。

(1)~(3)式に具体数値を入れて考えると、 $f_m \geq 20$ kHz、 $f_H = 15.75$ kHzで、また x は標準的には35本/フレームであるから、ここでは

$$p = 3 \text{ ((標本/チャンネル)/水平期間)}$$

とし、

$$f_s = 15.75 \times 3 \times (525 - 35) / 525 = 44.1 \text{ kHz}$$

に選べば以上の関係が満足される。

量子化ビット数 n は(2)式から

$$n = 12 \text{ (bit/標本)}$$

にとれば $D \doteq 74$ dBとなり、目標の70 dB以上が満足される。なお、さらに大きなダイナミックレンジが望まれる場合には非直線量子化を導入するのが望ましい。

Fig.4にVTRの磁気テープ上に記録する、1水平期間の記録フォーマットを示す。すなわち、この期間に上述のようにチャンネル当り3標本に相当する符号化デジタル信号を記録するが、各標本には正味の12ビットデータのほかに誤りチェック用冗長ビットを4ビット付加することとした。1水平期間($1/15.75$ kHz $\doteq 63.5 \mu$ s)には $\{(12+4) \times 2\} \times 3 = 96$ bitのデジタル信号を記録することになる。1水平期間にはこの96bitのデジタル信号のほかに、図に示したように水平同期信号とデータシンク信号を記録する。データシンク信号

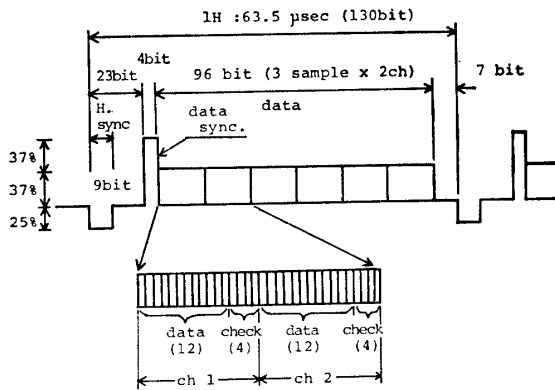


Fig.4 Tape recording format of the coded bits and other synchronizing pulses in a video horizontal scanning period.

は再生時の同期クロックを発生させる便宜から付加したもので、データとの区別をつけるために図に示すようなレベル差を設けている。

データビットを記録するビットレート f_b は、1 水平期間 63.5μs より水平同期信号及びデータシンク信号にとられる期間を差引いた時間内に上記の96ビットを記録できるような値に選ぶ必要がある。 f_b はまた、信号処理の都合から、 f_s 及び f_H とともに同一の基準発振周波数 f_0 より整数比でてい減して作るように選ばねばならない。これらの点から、ここでは

$$f_0 = 14.3325 \quad (\text{Mbit/s})$$

をとり、これを7分周して

$$f_b = 2.0475 \quad (\text{Mbit/s})$$

のビットレートで記録することとした。このとき、 f_s

及び f_H は、 $f_s = f_0/325$, $f_H = f_0/910$ である。 $f_b = 2.0475$ Mbit/s のビットレートは 2.1 に示したこの VTR の分解能から見てさほど無理のない値であると判断される。

なお、Fig.4 に示すように水平同期信号及びデータシンク信号にはそれぞれ 9 及び 4 ビット分を割当て、前後のブランクにそれぞれ 14 及び 7 ビット分を残すことにした。1 水平期間は従って以上を合計すると 130 ビットで構成されることになる。

3. 記録系回路の試作と動作

以上の方式設計にもとづき、まず記録系諸回路の具体的な設計試作を行い動作確認を行った。以下その主要点について述べる。

入力低域フィルタ LPF として、ここでは 20kHz をシャ断周波数とする誘導 M 形フィルタを試作した。Fig.5 にその周波数特性を示す。

サンプルホールド回路 S/H には市販の IC のなかから性能と価格を考慮して B.B. 社の SHC-80KP を選んだ。この IC のアキュイジションタイムは 10μs で、標準化周期 1/44.1kHz = 22.7μs に比して長すぎるが入手の都合もあってこれを使用した。

A/D 変換器には同様に市販 IC のなかから B.B. 社の ADC-84KG を選んだ。これは内部に D/A コンバータとコンパレータを持つ逐次比較形の 12 ビット A/D 変換器であって、変換時間は標準で 10μs であるが、外付抵抗器を付加し 6.8μs にこれを短縮して使用した。

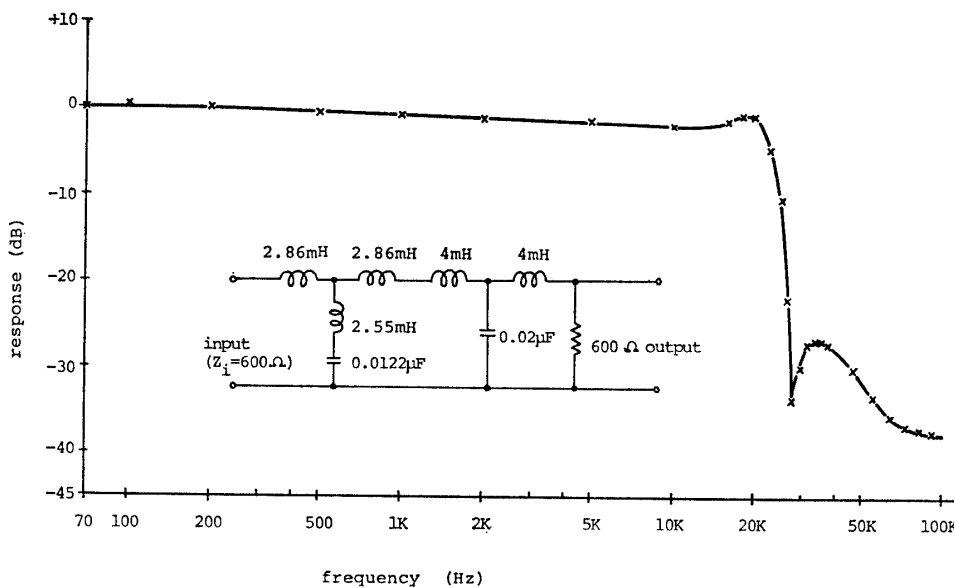


Fig.5 Frequency characteristics of the input filter

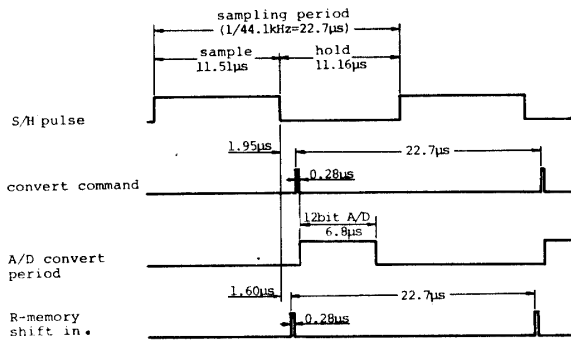
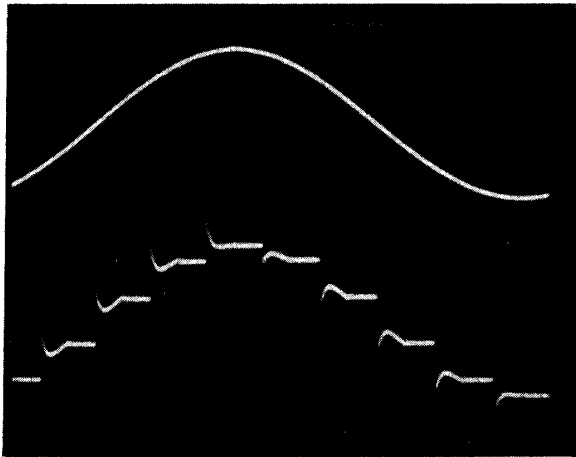


Fig.6 Control time chart of the sample-and-hold circuit and the A/D converter.



upper : input (20µs/div)
lower : output

Fig.7 An example of the input-output wave form of the sample-and-hold circuit.

Fig.6にS/H及びA/Dの動作時間関係を示す。またFig.7にS/Hの入出力波形例を示す。A/Dの出力にはその入力レベルに対応して量子化された12ビット並列デジタル符号が出力される。

A/Dの出力はFig.6に示したメモリシフトインパルスによって次段のRメモリに標本化周期ごとに書込まれる。ここでRメモリの所要記憶容量について述べると、これはVTRへの記録が中断される間に入力されるデータを吸収するのに十分な容量をもてばよい。この最大中断期間は、前のフィールドのデータ読出しが終ってから垂直ブランク期間をへて次のフィールドのデータ読出しが始まる迄の期間である。この期間に入力されるデータは標本数にしてFig.8からわかるように、1チャンネル当り $(35/2) \times 3 + (7+23+4)/32 = 54$ ワード分(ただし1ワードは1チャンネル分のデータビット数12ビット)、すなわち $12 \times 54 = 648$ ビット以上あ

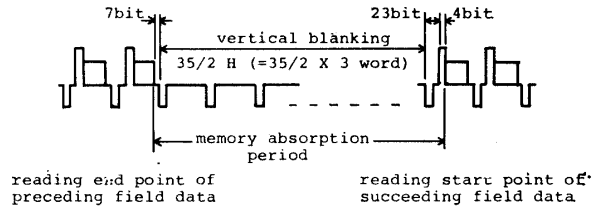


Fig.8 Explanation chart to evaluate the R memory capacity.

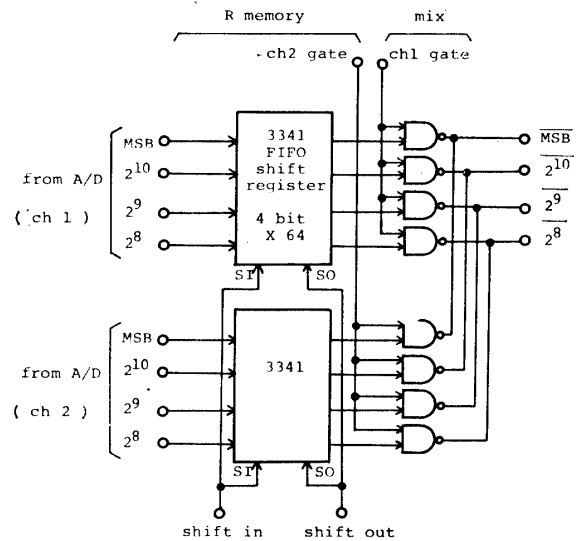


Fig.9 Block diagram of R memory and mixing circuit.

ればよい。そこでここではRメモリとしてFC社のF1/F0レジスタ、F3341(4ビット×64段構成)をチャンネル当り3個使用し、これによって12ビットのデータを最大64ワード蓄えることとした。なお、再生系のPメモリではさらにVTRのフラッタ吸収に必要な容量を加えて考える必要があるが、64ワードの容量があれば十分であると予想される。

Fig.9に各チャンネル4ビット分についてRメモリの結線関係を示す。A/Dからの入力とは図に示すシフトインパルスにより標本化周波数44.1kHzの速さで連続的にRメモリにシフトインされ、VTRの同期信号挿入期間等を避けた所定の時間に約64kHzの速さで間欠的にシフトアウトされる。

2チャンネルのデータを時分割的に合成するミクス回路は、Fig.9に示すように簡単なNANDゲートで構成し、各チャンネルで π だけ位相差を設けたゲート信号で両チャンネルのデータを交互にゲートアウトした。

ミクス回路の出力は次段の並/直列変換器P/Sに加えると同時にチェックビット発生器に送り、誤り検出

用ビットを発生させる。PCM 録音方式における最大の問題点は1で述べたように符号誤りに対してどのような対策を施すかにあり、チェック方式は今後の重要な検討課題であるが、ここでは初歩的段階として群計数チェックを行い、再生時に誤りが発見されれば前述の前値ホールド方式によってそれを補修する簡単な方法を試みることにした。群計数チェックビットの発生にはフルアダを組合せて12ビットのデータ符号のHレベルのビット数を2進計数し、下3けたをとる方法を用いた。また、このほかとくに重要度の高いデータのMSBビットについて、その反転 $\overline{\text{MSB}}$ をチェックビットとして最後に付加し、上記の群計数チェックの3ビットとともに合計4ビットのチェックビットをデータ符号に付加することとした。このように $\overline{\text{MSB}}$ を最後に加えたのは、影響の大きいMSBをテープ上のはなれた位置に2重記録することで1標本期間内におけるバースト性エラーをチェックするほか、反転をとる

ことにより“0”ビットの連続の最大限を16ビット以内に抑える効果もねらったものである。(“0”ビットの連続は再生時のクロック発生上支障がある。)

並直列変換器P/SとしてはシフトレジスタSN-74166(8ビット構成)を2個使用した。その入力には上述の12ビットデータ符号とチェックビット4ビットが並列にロードされ、ビットクロック発生器で作られる $f_b=2.0475\text{Mbit/s}$ のシフトクロックでデータ符号の上位ビットから順に12ビットとチェックビットが逐次直列デジタル信号となってシフトアウトされる。

Fig.10は以上の各回路を所定の時間関係を保って動作させるための各種制御パルス及び同期信号を生させる系統図である。記録系諸回路の動作は2.3で述べたように基準発振器で作られる $f_0=14.3325\text{Mbit/s}$ の基準周波数をもとにして所定のてい減操作を行って作られる制御パルスによって同期的に制御される。すなわち、A/D変換系コントロールでは、 f_0 を1/325分周した44.1kHzの制御パルスを作り、S/H、A/D、及びRメモリの各制御パルスを所定の位相関係を保つようにして送出する。ビットクロック発生器では f_0 を1/7分周した $f_b=2.0475\text{Mbit/s}$ のビットクロックを作ってP/S変換器に供給すると同時に、一方ではTV同期信号発生器にこれを加えてVTRの水平、垂直同期信号及び等化パルスを発生させ、また一方ではP/S変換系コントロールによりRメモリのシフトアウトパルス、ミクス回路のゲートパル、P/S変換器のロード・シフトパルス及びデータシンク信号を所定の時間関係で発生させる。Fig.10の各部は各種のカウンタと論理回路で構成し、かなり複雑化した、が、細部は省略する。

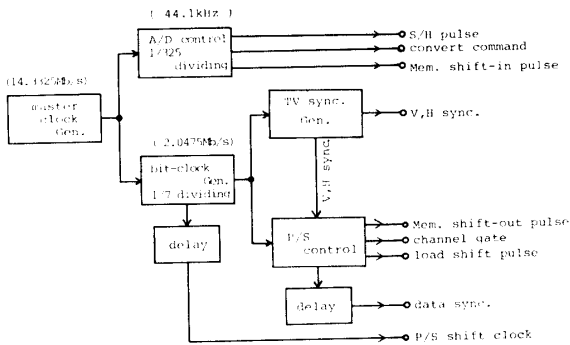
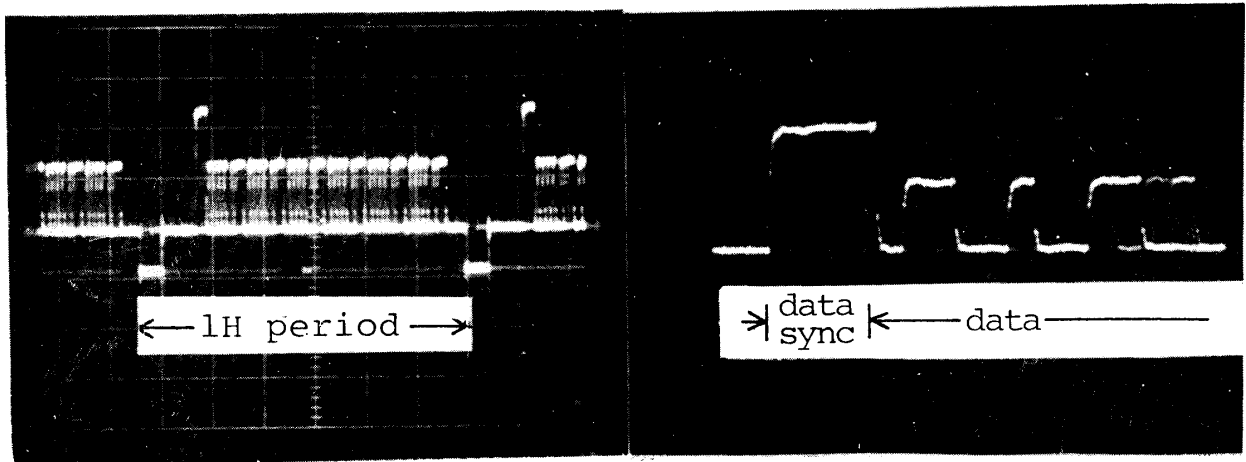


Fig.10 Block diagram of the control and synchronizing system of the recording system.



(10µs/div)
(a) 1 horizontal period

(1µs/div)
(b) data sync. portion expanded

Fig.11 Example of the output signal of the recording system.

Fig.11に以上の記録系回路の総合動作によって作られた出力波形の写真例を示す。これは Fig.4 で計画した記録フォーマットに従っており、そのまま NRZ 信号形式で VTR の記録入力に加わるものである。なお、VTR ではこの疑似映像信号をうけてテープ上に FM 記録を行い、再生時には FM 復調して Fig.11 と同様な再生出力を出力する。

4. む す び

家庭用 VTR をそのまま利用した PCM 録音装置について、その方式設計と記録系回路の試作及び動作結果を報告した。

試作結果からみると PCM の心臓部であるサンプルホールドや A/D 変換については市販の IC で簡単に構成できるが VTR の利用に関連して必要になるメモリ回路、エラーチェック、各種の制御、同期回路などかなりの論理回路を必要とし、コストは再生系も含めると、VTR を除いて20万円を下らない。PCM 録音

方式が、業務用は別として一般の家庭用のレベルで利用されるようになるためにはコストの低減が最も重要な問題であろう。

終りに、試作の遂行に当り御協力を受けた本学技官桐原昭雄氏と学生山本政和、川本実の両君に謝意を表す。

参 考 文 献

- 1) 村松珊吾：PCM 磁気録音技術の現状，放送技術，31，730 (1978)。
- 2) 林謙二：PCM録音機，信学会磁気記録研究会資料，MR 69—22 (1969)。
- 3) 大場吉延，久万俊彦，矢沢孝一：高性能放送用 PCM 録音機の開発，放送技術，30，645 (1977)。
- 4) 山口裕久，内海聡，中村健二，馬渡秋則：業務用 4 CH PCM 録音再生プロセッサ，信学会技報，MR 77—23 (1977)。

(昭和 53 年 10 月 14 日 受理)