

InSb 薄膜 トランジスタ

佐々木 次郎*・渡辺 範之**

InSb Thin-Film Transistor

Jiro SASAKI and Noriyuki WATANABE

Abstract

In this paper a new model, which is valid in both enhancement and depletion mode, is developed for the mechanism of the thin-film transistor. In the model it is assumed that the structure of the evaporated InSb film has Petritz' barrier-model and this barrier-model is valid for the conduction mechanism in the transistor. According to this barrier-model the semiconductor film consists of high and low-resistance region.

The new model can explain the discrepancy mentioned frequently between the Hall mobility and field-effect mobility. The new model is verified by measurements on depletion-type InSb thin-film transistor.

1. 緒言

CdSe や CdS を使った薄膜トランジスタ (TFT) は、限界周波数が 200MHz 程度である。GHz まで動作させるには、ソース・ドレイン間隙を小さくすることと移動度の高い半導体材料を使うことである。前者は、現在の技術では、5ミクロンが限界であり多くは望めない。移動度の大きい材料には、InAs, InSb 等がある。これらを使った TFT についても 2, 3 報告されているが、CdSe 等と比べると十分な結果が得られていない。筆者は InSb TFT を製作し、その原因について研究している。ここでは製作方法をのべ、その特性と理論を比較する。InSb 蒸着膜は多結晶であるが、それにもかかわらず単結晶として、解析されたものが、大半である。それで筆者は Petritz の障壁モデルを用いて解析した。ただし、各結晶の大きさはすべて等しいと仮定した。

2. 材料と真空装置

基板→スライドガラス (24×24mm)

半導体材料→InSb 純度99.999%

絶縁体材料→SiO₂

電極→Al

以上が用いた材料である。

ロータリポンプ, サプリメーションポンプ及びイオ

ンポンプを兼用したもので、 1×10^{-9} torr まで到達可能である。

3. 製作方法

次の順序で行う。

①ガラス基板の洗浄

中性洗剤, エチルエーテルを使用。
各々の材料と共に、真空室へ入れる。

②InSb の蒸着

$1 \sim 5 \times 10^{-7}$ torr で瞬間蒸着
420°C で15~20分間加熱する。
蒸発源はモリブデン板を使った。

③ソース・ドレイン電極の蒸着

$5 \times 10^{-6} \sim 3 \times 10^{-5}$ torr で蒸着
ソース・ドレイン間隙は、60ミクロン (直径) の銅線をマスクにして行った。蒸発源は、タンゲステン線をコイル状に巻いたものを使用した。

④SiO₂ の蒸着

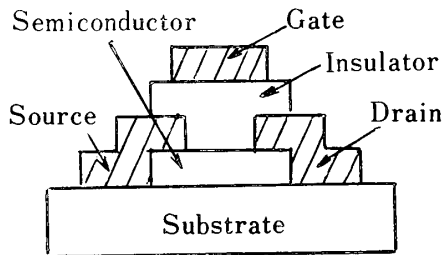
$1 \sim 3 \times 10^{-5}$ torr 蒸着速度 30Å/sec で蒸着
蒸発源は、モリブデン板を使用した。

⑤ゲート電極の蒸着

$5 \times 10^{-6} \sim 1 \times 10^{-5}$ torr で蒸着
蒸発源は③と同じ。

* 名古屋工業大学

** 大学院工学研究科電気工学専攻



Thickness of InSb semicon. film=180Å
Thickness of SiO Insulator film=1000Å

Fig. 1 Cross section of the TFT

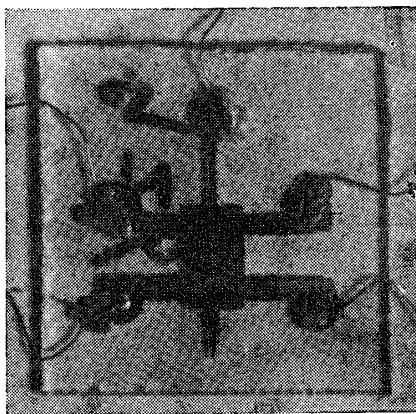


Fig. 2 Picture of the TFT

4. 理論

緒言で述べた様に、InSb 蒸着膜は、各結晶の大きさが等しい構造をもつと仮定する。Fig. 3 (a) に、その模様を示した。(b) は、そのエネルギー帯図である。(c) は両端に電圧を印加した場合である。

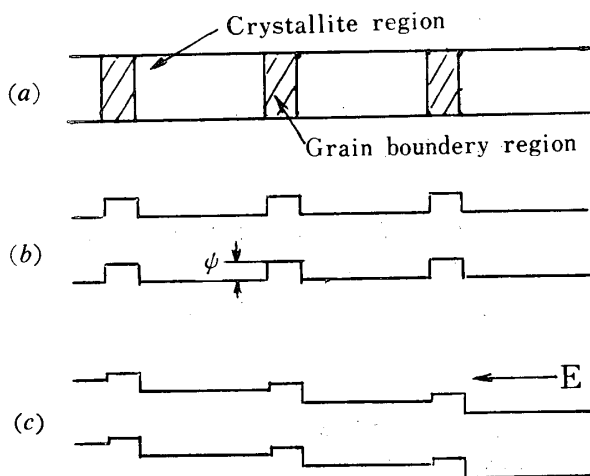


Fig. 3 Proposed and model band diagram for the semiconductor film

さて、ここで一つの障壁に注目してみる。(b) の様に電圧が、かけられていない場合、キャリアが左側か

ら障壁を越えて右側へ移る確率と逆の確率は、同じである。それ故電流は流れない。

(c) の場合のように、電圧が印加されると、右側の障壁の高さは、変わらないが左側からみると、障壁は $\phi - \Delta V$ となり、低くなる。ここで $\Delta V = E/N$ である。 E は電界、 N は単位長当りの障壁数、 ϕ は障壁の高さで単位はボルト。それ故障壁を越えるキャリア数の差つまり確率の差に比例して電流が流れる。

つまり

$$I \propto \exp(-q\phi/kT) \{ \exp(q\Delta V/kT) - 1 \}$$

q : キャリアの電荷, K : ボルツマン定数

T : 絶対温度

一般に、 N は大きな値をとるので $q\Delta V \ll kT$ が成り立つ。それ故、次のように近似できる。

$$I \propto (q\Delta V/kT) \exp(-\phi/kT)$$

ここで、 $q\phi = \phi$ 。

詳細なことは、省くが表面コンダクタンス G_s は、次式で表わされる¹⁾。

$$G_s = \frac{q^2 n_c \bar{v}}{4 N k l} \exp\left(-\frac{\phi}{kT}\right) \quad (1)$$

障壁 ϕ は、次式で示される²⁾。

$$\phi = kT \ln \frac{n_c}{n_b} \quad (2)$$

n_c : 結晶領域のキャリア密度
 n_b : 境界領域のキャリア密度
 \bar{v} : 平均熱速度

n_c, n_b はゲート電圧で変化する。つまり

$$n_c = n_{c0} + \theta_c \frac{[V_g - V(x)] C_i}{q} \quad (3)$$

$$n_b = n_{b0} + \theta_b \frac{[V_g - V(x)] C_i}{q} \quad (4)$$

x : ソースを原点とし、ドレイン方向の任意の点の距離
 $V(x)$: ドレイン電圧による、 x 点の電圧
 C_i : 絶縁体の単位面積当りの容量
 n_{c0}, n_{b0} : 結晶領域および境界領域の単位面積当りの初期キャリア密度
 V_g : ゲート電圧

θ_c, θ_b は、ゲート電圧によって誘起される電荷の数とその中でキャリアとなりうる数の比であり、1より小さい。($n_{c0} > n_{b0}$ である。)

(2)(3)(4)式を(1)式に代入すると、次のようになる。

$$G_s(x) = \frac{q^2 \bar{v}}{4 N k T} \left\{ n_{b0} + \theta_b \frac{[V_g - V(x)] C_i}{q} \right\} \quad (5)$$

ドレイン電流 I_d は次式である。

$$I_d = w G_s(x) \frac{dV(x)}{dx} \quad (6)$$

(5)と(6)式から

$$I_d = \frac{wC_i}{L} \frac{q\bar{v}\theta_b}{4NkT} \left[\left(V_g + \frac{qn_{b0}}{\theta_b C_i} \right) V_d - \frac{1}{2} V_d^2 \right] \quad (7)$$

$\left\{ \begin{array}{l} L: \text{ソース・ドレイン間隙} \\ w: \text{ソース及びドレイン電極の幅} \end{array} \right.$

ここで

$$\mu_{FE} = \frac{q\bar{v}\theta_b}{4NkT} \quad (8)$$

$$V_0 = -\frac{qn_{b0}}{C_i\theta_b} \quad (9)$$

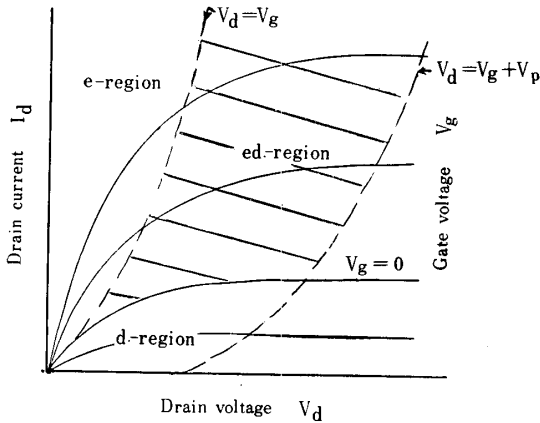


Fig. 4 Source-drain characteristics of the TFT

Fig. 4は、TFTの I_d-V_d 特性である。この特性は動作の点から見ると三つに分けられる。

- ①増加型 (e-region) $V_d < V_g$
- ②空乏型 (d-region) $V_g < 0$
- ③①と両型を有する型 (ed-region) $0 < V_g < V_d$

増加型は、ゲート電圧 V_g により、表面キャリア密度を増減させてドレイン電流を制御する。それに引き替え空乏型はゲート電圧により、空乏層の厚さを変えて、言いかえるならば、電流路の断面を変化させることによって、ドレイン電流を制御するのである。それ故、(7)式は、①の増加型にのみ有効である。

空乏型については、次のように考える。

空乏層の厚さ $\delta(x)$ は、次式である。これは、ポアソンの式を使うことによって求まる³⁾。

$$\delta(x) = \frac{\varepsilon_s}{\varepsilon_i} \left\{ \left[1 + 4 \frac{V_g - V(x)}{M} \right]^{\frac{1}{2}} - 1 \right\} \quad (10)$$

ここで

$$M = -\frac{2qn_{c0}\varepsilon_s t^2}{\varepsilon_0 \varepsilon_i^2 h} \quad (11)$$

$\left\{ \begin{array}{l} \varepsilon_s, \varepsilon_i: \text{InSb と SiO の比誘電率} \\ \varepsilon_0: \text{真空の誘電率} \\ h: \text{InSb の厚さ} \\ t: \text{SiO の厚さ} \end{array} \right.$

(10)式から、わかるとおり、 $\delta(x)$ は、ゲート電圧によって変化するので、ドレイン電流はゲート電圧によって変化する。すなわち $h-\delta(x)$ の部分だけに電流が流れる。この部分は従来の伝導率 σ をもつ。

$$\sigma = \frac{G_{s0}}{h} \quad (12)$$

ここで、 G_{s0} は、(5)式において、 $V_g - V(x) = 0$ の時の値である。その結果、表面コンダクタンス $G_{sd}(x)$ は、

$$\begin{aligned} G_{sd}(x) &= \frac{[h-\delta(x)]}{h} \frac{q^2 \bar{v}}{4NkT} n_{b0} \\ &= q\mu_{FE} \frac{n_{b0}}{\theta_b} \left\{ 1 - \frac{\varepsilon_s t}{\varepsilon_i h} \left[\left(1 + 4 \frac{V_g - V(x)}{M} \right)^{\frac{1}{2}} - 1 \right] \right\} \quad (13) \end{aligned}$$

$V_g < 0$ のとき(②の空乏型)

次の式が成り立つ。

$$\int_0^L I_d dx = w \int_0^{V_d} G_{sd}(x) dV(x)$$

これと(13)式により

$$\begin{aligned} I_d &= \frac{\mu_{FE} w q n_{b0}}{L \theta_b} \left\{ V_d + \frac{\varepsilon_s t}{\varepsilon_i h} \left(V_d + \frac{M}{6} \left[\left(1 + 4 \frac{V_g - V_d}{M} \right)^{\frac{3}{2}} - \left(1 + 4 \frac{V_g}{M} \right)^{\frac{3}{2}} \right] \right) \right\} \quad (14) \end{aligned}$$

ドレイン電圧 V が V_{ds} のとき、 I_d は、最大値 $I_{d \max}$ となるとする。 $I_{d \max}$ は $dI_d/dV_d = 0$ とすることによって得られる。その結果は、次のとおりである。

$$V_{ds} = V_g + V_p$$

$$\begin{aligned} I_{d \max} &= \frac{\mu_{FE} w q n_{b0}}{L \theta_b} \left\{ V_g + V_p + \frac{\varepsilon_s t}{\varepsilon_i h} \left(V_g + V_p \right. \right. \\ &\quad \left. \left. + \frac{M}{6} \left[\left(1 - \frac{4V_p}{M} \right)^{\frac{3}{2}} - \left(1 + \frac{4V_g}{M} \right)^{\frac{3}{2}} \right] \right) \right\} \quad (15) \end{aligned}$$

$$\begin{aligned} g_{m \max} &= \frac{dI_{d \max}}{dV_g} = \frac{\mu_{FE} w q n_{b0}}{L \theta_b} \left\{ 1 + \frac{\varepsilon_s t}{\varepsilon_i h} \left[1 - \left(1 + \frac{4V_g}{M} \right)^{\frac{1}{2}} \right] \right\} \quad (16) \end{aligned}$$

ここで

$$V_p = \frac{qn_{c0}h}{2\varepsilon_0 \varepsilon_s} + \frac{qn_{c0}t}{\varepsilon_0 \varepsilon_i} \quad (17)$$

$g_{m \max}$: 相互コンダクタンス

V_p は、 $\delta(x) = h$ を満足するのに必要なゲートと半導体間の電圧である。(17)式の右辺の第一項は空乏層に、第二項は絶縁膜にかかる電圧である。

0 < V_g < V_d のとき (③の両型を有する型)

次の式が成り立つ。

$$\int_0^L I_d dx = w \int_0^{V_g} G_s(x) dV(x) + w \int_{V_g}^{V_d} G_{sd}(x) dV(x)$$

これより

$$I_d = \frac{\mu_{FE} w q n_{b0}}{L \theta_b} \left\{ V_d + \frac{\theta_b \epsilon_0 \epsilon_i V_g^2}{2 t q n_{b0}} + \frac{\epsilon_s t}{\epsilon_i h} (V_d - V_g) + \frac{M}{6} \left[\left(1 + 4 \frac{V_g - V_d}{M} \right)^{\frac{3}{2}} - 1 \right] \right\} \quad (18)$$

前と同様にして、I_{d max} g_{m max} を求める。

$$V_{ds} = V_g + V_p \quad (19)$$

$$I_{d \max} = \frac{\mu_{FE} w q n_{b0}}{L \theta_b} \left\{ V_g + V_p + \frac{\theta_b \epsilon_0 \epsilon_i V_g^2}{2 t q n_{b0}} + \frac{\epsilon_s t}{\epsilon_i h} \left(V_p + \frac{M}{6} \left[\left(1 - 4 \frac{V_p}{M} \right)^{\frac{3}{2}} - 1 \right] \right) \right\} \quad (20)$$

$$g_{m \max} = \frac{\mu_{FE} w q n_{b0}}{L \theta_b} \left(1 + \frac{\theta_b \epsilon_0 \epsilon_i V_g}{t q n_{b0}} \right) \quad (21)$$

V_p は(17)式と同じである。

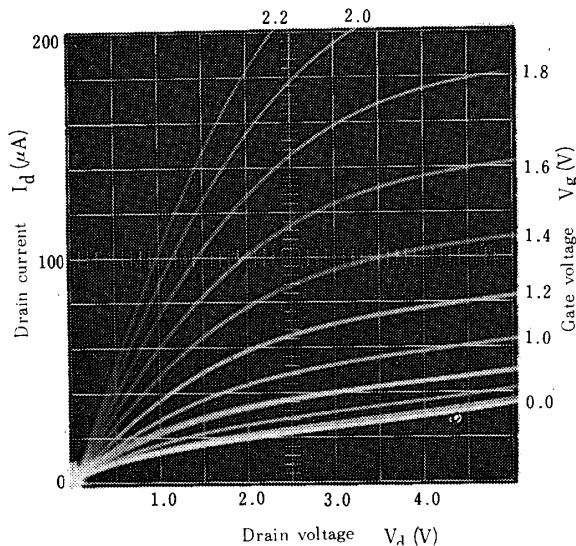


Fig. 5 The experimental I_d-V_d characteristics of the TFT

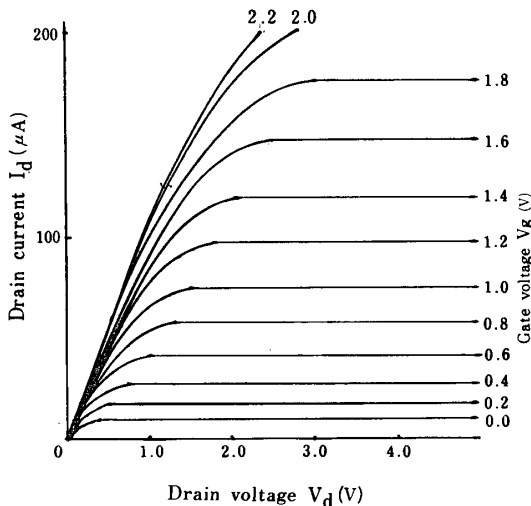


Fig. 6 The theoretical I_d-V_d characteristics of the TFT
Vol.22 No.2 (1971)

5. 実験結果について

筆者が製作した素子の I_d-V_d 特性を Fig. 5 に示す。Fig. 6 は、理論特性である。

Fig. 5 から、わかるとおり、電流 I_d は飽和していない。これはガラス基板と半導体膜の界面にチャンネルが生じたものと考えられる。つまり、ドレイン電極がゲート電極と同じ役目をしているものと考えられる⁴⁾。その様子を Fig. 7 に示す。

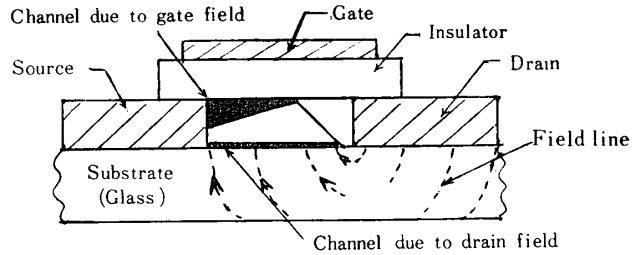


Fig. 7 Direct electrostatic feedback model for output conductance

さて、(7)(14)及び(18)式から、理論特性 (Fig. 6) を求める。それには μ_{FE}、n_{b0}/θ_b、n_{c0}、M を決定する必要がある。

Fig. 8 は g_{m max}-V_g 特性である。この測定値は(20)式に対応する。

ここで、注意しておかねばならないことがある。今までは、次に示す3つの事柄について無視してきた。

- ①半導体-絶縁体界面の表面電荷の影響
- ②絶縁体中の空間電荷の影響
- ③半導体と絶縁体の仕事関数差の影響

上の3つの影響がない場合には Fig.10 のようになるが、実際にはこれらの影響により、Fig. 9 に示すように、エネルギーレベルが曲がる。それ故、ゲートには、V_{FE} なる電源が内蔵していると考えれば良い。事実上は V_g + V_{FB} = V_{ga} が印加されることになるわけである。これから、Fig. 8 の横軸の各 V_g に V_{FB} を加わえる必要がある。ここで、V_{FB} は V_{ga} が 0 となるために必要なゲート電圧である。言いかえると、エネルギーレベルを平らにするに必要なゲート電圧である。

Fig. 8 において V_{ga} < 0.82 (V) のとき曲線であり、(16)式に対応する。また V_{ga} > 0.82 (V) のとき直線であり、(20)式に対応する。3つの影響により、原点が 0.82 (V) 移動したと考えられる。V_{FB} = 0.82 (V) である。(20)式と Fig. 8 を比較する。

勾配

$$\frac{\mu_{FE} w \epsilon_0 \epsilon_i}{L t} = 1.06 \times 10^{-4} \quad (A/V^2)$$

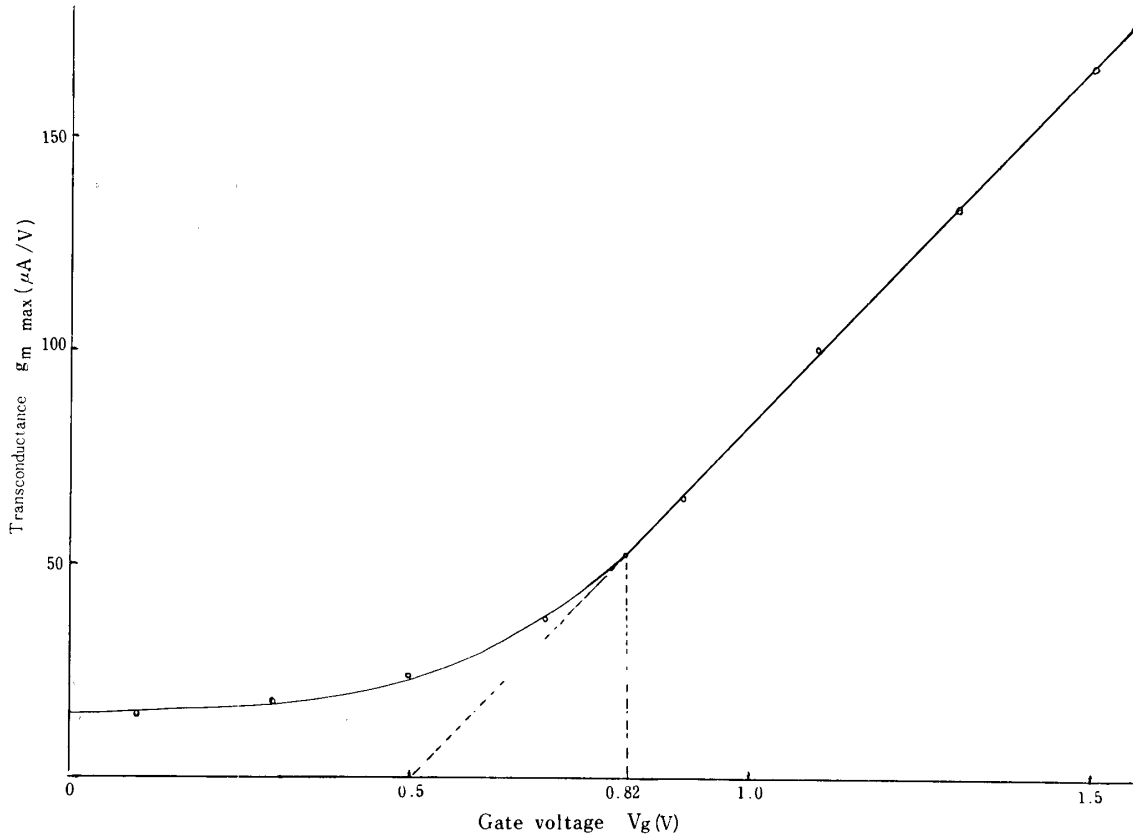


Fig. 8 Transconductance vs. Gate voltage in the saturated region of I_d - V_d characteristics

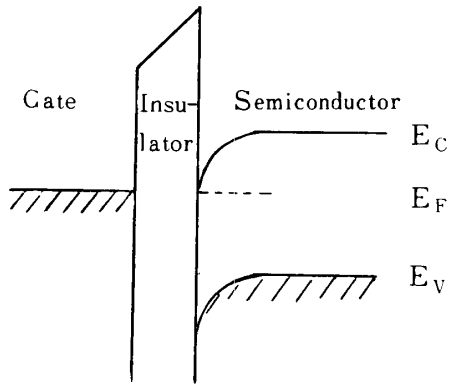


Fig. 9 Band diagram of the general TFT structure at $V_g = 0$

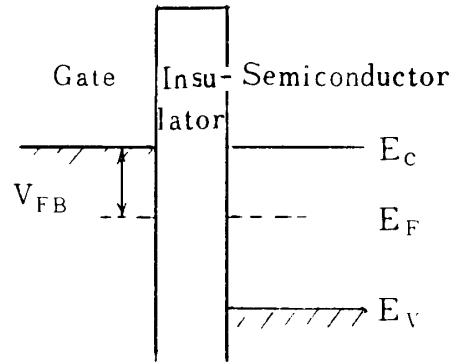


Fig. 10 Band diagram of the theoretical TFT structure at $V_g = 0$

$$\therefore \mu_{FE} \doteq 1.44 \times 10^{-2} \quad (m^2/Vs) \quad (21)$$

$g_{m \max} = 0$ のとき

$$V_{ga} = 0.5(V) \quad \text{このとき} \quad V_{ga} = V_{FB} + V_0$$

$$V_0 - 0.82 + 0.5 = -0.32 \quad (22)$$

$$\therefore \frac{iq n_{b0}}{\theta_b \epsilon_0 \epsilon_i} \doteq 0.32 \quad (V) \quad (23)$$

これより

$$\frac{n_{b0}}{\theta_b} \doteq 8.85 \times 10^{14} \quad (m^{-2}) \quad (24)$$

次に $I_{d \max} - V_{ga}$ を図示する. M, n_{c0} を求める.

(20)式に M のいろいろの値を代入し、実験値に合ったときの値をその値とした (Fig. 11).

その結果

$$M \doteq -5.05 \quad (V) \quad (25)$$

これを(11)式に代入すると

$$n_{c0} \doteq 1.42 \times 10^{15} \quad (m^{-2}) \quad (26)$$

(21)~(26)の各値を(7)(14)(18)式に代入することによって、Fig. 6の理論特性が得られた。以前に $n_{c0} > n_{b0}$ であ

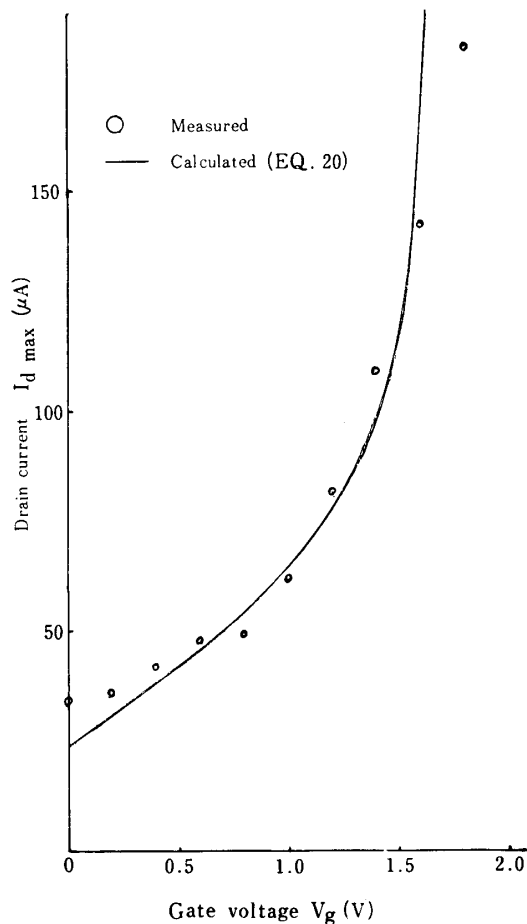


Fig. 11 Drain current vs. Gate voltage in the saturated region of the I_d - V_d characteristics

ると仮定したが、(23)式を比較すると、この仮定が正しいことがわかる。最後に解析にあたって、ゲート電

圧によって制御されないチャンネル（コンダクタンスが $4 \times 10^{-6} \Omega$ ）を考慮に入れた。

6. 結 論

半導体膜が多結晶構造をもつとして解析を行った。Fig. 5の飽和領域から μ_{FE} , n_{b0}/l_0 , M , n_{c0} を決定した。その結果がFig. 6である。この両者を比較すると、まだ十分な一致はみられない。これは次のようなことが原因であると考えられる。

①Fig. 7に示すように基板-半導体界面に生ずるチャンネルの定量的考慮の欠如。

②InSb のエネルギーギャップは0.19eVである。このため、室温でも熱励起が十分起りうる。それ故、キャリアには正孔と電子の二種を考慮に入れる必要がある。

①についてはゲート電極を2つもつ TFT (Double gate TFT) を製作し調べるつもりである。

謝辞、終りに本報告をまとめるにあたり、適切な助言を賜わった、平田威彦助教授および武平信夫助手に深く感謝の意を表わす。

参 考 文 献

- 1) Waxman: J. Appl. Phys. 36, 168 (1965)
- 2) J. T. Wallmark, H. Johnson: 和田, 関: "電界効果トランジスタ" 近代科学社, (1967) p. 22
- 3) P. Richman, 斉藤, 多田: "Mos 電界効果素子" 近代科学社, (1968) p. 33
- 4) A. C. Tickle "Thin Film Transistor" Wiley (1969) p. 52

(昭和46年11月15日受理)