

次世代素子、Si 共鳴トンネル MOS トランジスタの 提案及び理論検討

木原 洋幸 (電気電子工学専攻)、山本暁徳 (電気電子工学専攻)、

松尾 直人 (電気電子工学科)

Si Resonant Tunneling MOS Transistor (SRTMOST) for Next Generation

Hiroyuki Kihara, Akinori Yamamoto, Naoto Matsuo

(Department of Electrical & Electronic Engineering)

Abstract

The characteristics of the Si resonant tunneling metal-oxide-semiconductor transistor (SRTMOST), which was proposed to realize a low-power and high-speed characteristics, were reviewed. From the discussion related to the suppression of the DT from the source to the drain under the gate-off condition, the excellent switching operation, the optimum off-set energy between the dielectric films at the both channel edges and Si and the feasibility of the three-valued logic circuit, it is shown that the SRTMOST would become the potential candidate of the substitution for the conventional metal-oxide-semiconductor field-effect transistor (MOSFET) in the next generation.

Keywords MOS, SRTMOST, dielectric film, resonant tunneling, logic circuit

1. 序論

超大规模集積回路 (ultralarge-scale integrated circuit: ULSI)の集積化が進むにつれて、金属酸化膜半導体電界効果トランジスタ (metal-oxide-semiconductor field effect transistor: MOSFET)のチャネル長は減少している。半導体工業協会(SIA)の予測では、2010年までにチャネル長は $0.07\mu\text{m}$ 以下になるとされている[1]。チャネルの長さの物理的な限界、それが量子力学的なサイズになることを意味している。このチャネル長では、ゲート電圧を印加しない状態でも、ソースからドレインへの電子の直接トンネリング (direct

tunneling:DT)がp型シリコン基盤の伝導バンド端を通して起こる。ゲート長 8nm でのソースからドレインへのDTは、電解変調浅接合型 MOSFET(electrically variable shallow-junction MOSFET: EJ-MOSFET)で確認されている[2]。チャネルの両端に薄い誘電体膜を持つ新しい MOS トランジスタ(Si resonant tunneling MOS transistor:SRTMOST)は、従来の MOS トランジスタ(conv.MOS transistor)の短チャネル効果による特性の劣化を改善する為に提案された[3]。SRTMOST のサブスレッショルド特性は共鳴トンネル(resonant tunneling: RT)によ

って、従来型 MOST の理論上限界である 60mV/decade より小さくすることができる。SRTMOST の相互コンダクタンス g_m は、2 重障壁に誘電率の高い誘電体を用いた場合に従来型 MOST と同等である[4]。2 重障壁のもう一つの役割は、量子力学的チャンネル長における従来型 MOST のソースからドレインへの DT を抑制し、MOST の物理的限界の延長することである[5]。誘電体膜と Si 基板のバリアハイトが SRTMOST の動作に影響する[6]ため、バリアハイトを最適化することが重要である。SRTMOST と似た構造である SOI (silicon-on-insulator) 構造上に形成されたトンネル障壁接合 (tunneling barrier junction: TBJ) MOSFET について究極のデバイス構造という観点から議論した[7]。n-MOSFET を n-SRTMOST で置き換えたインバータ回路の出力特性についても議論した[8]。この論文では、低消費電力で高速な特性を実現するために提案した最新のサブ $0.1 \mu\text{m}$ CMOS デバイスである SRTMOST の特性をデバイス物性と新たなインバータ回路への応用という観点から再検討する。まず初めに、ゲートオフ時にソースからドレインへ流れる DT を抑制でき、スイッチング動作が従来 MOSFET より優れていることを示す。第二に、チャンネル両端の誘電体膜と Si の間のオフセットエネルギーの電気特性における影響について議論する。第三に、p-MOSFET と n-SRTMOST から構成される 3 値論理回路の実現の可能性を示す。

2.SRTMOST の構成

2-1)構造とポテンシャル図

図 1(a)(b)にそれぞれ SRTMOST のチャンネルに沿った横断面の構造図とポテンシャル図を示す。チャンネルはゲート酸化膜/p-Si の界面に形成されており、図 1(a)の破線によって示されている。チャンネル中の電子は 2 重障壁と表面量子化によるポテンシャルバリアによって、1 次元電子ガスとして閉じ込められる。共鳴トンネルはこの 1 次元電子ガスを通して起こる。相互コンダクタンス g_m は、DT 電流が流れる 2 重障壁の高抵抗率の為に減少すると考えられるが、実際には共鳴トンネリングによって補われ g_m の低下は起こらない。2 重障壁がなければ、量子力学的サイズのチャンネル長では、ソースからドレインへ電子の直接トンネリングが起こると言われており、従来型 MOST の物理的な

限界となる。しかし DT 電流はチャンネルの両端に設けた極薄の誘電体膜によって、ソースからドレインへの電子の透過係率を減少させることにより制御できる。

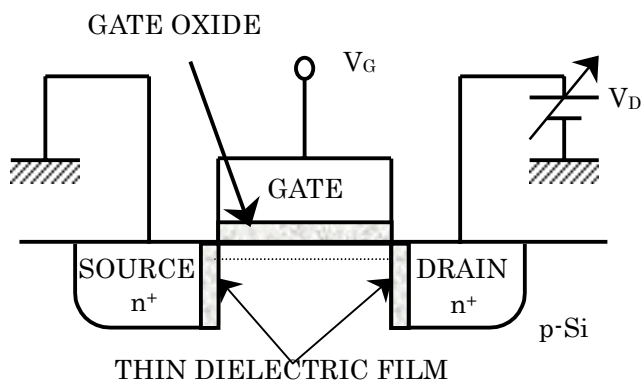


Fig. 1 (a)

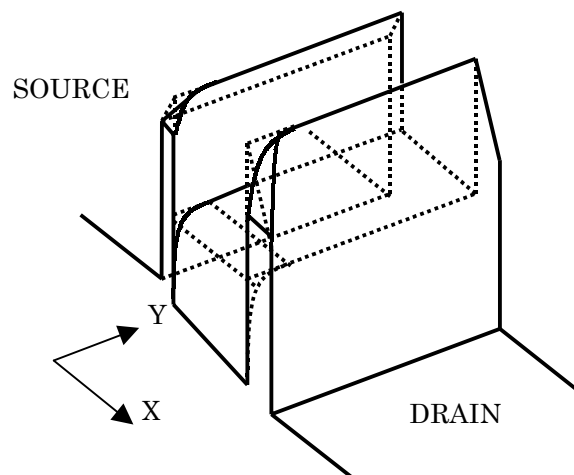


Fig. 1 (b)

2-2)動作原理とサブスレッショルド特性

SRTMOST の動作原理を説明するために、MOS の断面図とサブスレッショルド特性の概要を図 2(a)(b)に示す。Si の強反転の下で基盤からドレインへ流れる電子電流のため、シリコンの電界 E_g がゲート酸化膜/Si 界面において 10^5 V/cm 以下になると考えられる。量子準位がゲート酸化膜/Si 界面に形成される。形成される量子準位を式(1)に示す。

$$E_n = \frac{\pi^2 \eta^2}{(2m_{Si}^* L^2)} n_x^2 + \frac{(\pi \eta E_g)^{2/3} n_y^{2/3}}{(2m_{Si}^*)^{1/3}} \quad (1)$$

ここで m_{Si}^* , L , η , n_x , n_y は、それぞれ Si

中での電子の有効質量、チャンネル長、プランク定数、2重障壁による量子化とSi界面の表面量子化による量子数である。また $E_g=10^5$ V/cm, $L=10$ nm とすると、量子エネルギーレベル E_1, E_2, E_3 はそれぞれ 0.068eV, 0.099eV, 0.126eV となる。これらのエネルギー準位間の差は室温における熱エネルギー程度である。2重障壁と表面量子化による量子準位によってドレイン電流 I_d の最初の共鳴ピークが起こり、つづいて表面量子化によって連続的に共鳴が起こる。しかしながら、エネルギー差が小さいため、明確に観測することができない。それゆえ実際のサブスレッショルド特は、図.2(b)の実線で示されるようになると考えられる。

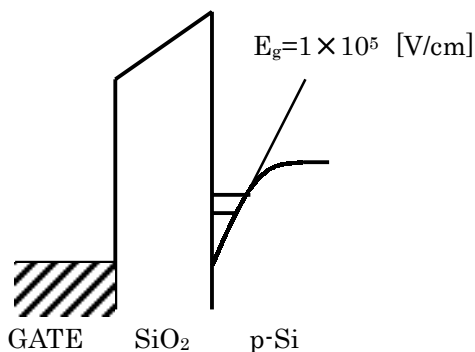


Fig. 2 (a)

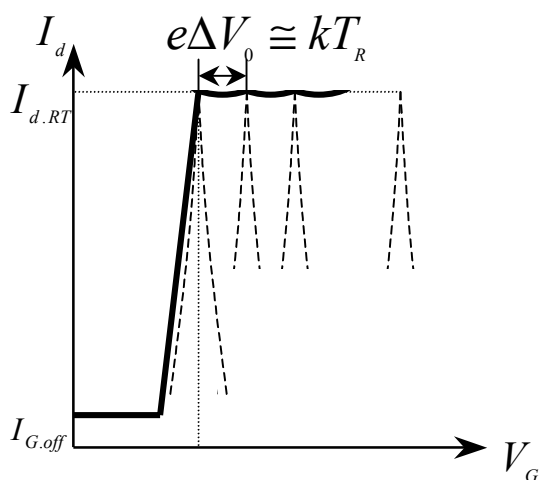
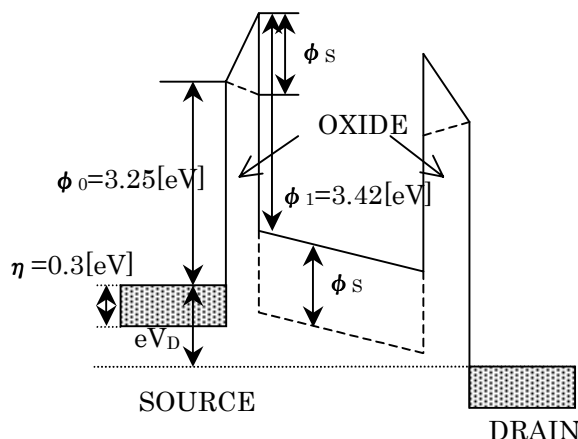


Fig. 2 (b)



n-SRTMOST

Fig. 3

2-3)透過率と遷移時間

ソースからドレインへ透過率 T^*T は有効質量近似を用いて1次元 Schrödinger 方程式を計算することにより、ゲート電圧無印加(ゲートオフ状態)でのチャンネルにおける電流密度(ドレイン電流)は、図.3 に示してある n^+ -Si/thin SiO₂/p-Si/ thin SiO₂/ n^+ -Si 構造のポテンシャル図を用い WKB 近似に基づいた新たなDT電流式によって求められる。透過率の低下を抑制する為に、ダブルバリアの SiO₂ 膜厚をソース側は 2nm、ドレイン側は 3nm とし、非対称構造とした。

量子力学的サイズより大きなチャンネル長の場合には、古典論により、遷移時間 $t = (\text{ソース-ドレイン間の距離}) / \text{速度}$ とする

ことができる。しかしながらチャンネル長が量子力学的サイズであるこの場合には、ダブルバリアの共鳴トンネルのトンネル時間を遷移時間として考える。それゆえ、ソースからドレインに向かう電子の遷移時間 t は不確定性原理を用いて式(2)のように計算される。

$$t = \frac{h}{\Delta E} \tag{2}$$

ここで、 h はプランク定数である。 ΔE はエネルギーレベル E_1 の不確かさであり、 RT に関する理論[10]から導かれた式(3)で表される。

$$I_{d,RT} = \frac{e^2 V_a m \times \Delta E}{2\pi^2 \eta^3} \tag{3}$$

ここで $I_{d,RT}$ 、 e 、 V_a 、 m 、 η は、それぞれ共鳴ピーク電流、電子の電荷量、印加電圧、電子質量、ディラック定数である。 $\text{SiO}_2(1.5\text{nm})/\text{p-Si}/\text{SiO}_2(1.5\text{nm})$ の対称のダブルバリアを用いた $I_{d,RT}$ と V_a のシミュレーションの結果[11]を考慮し、 ΔE は式(3)を用いて求められた。ピーク電流は、本研究では非対称の2重障壁を用いているので、シミュレーション値 $I_{d,RT}$ に 10^4 を乗じた。

2-4)SRTMOSTのCMOS回路への応用

図.4に p-MOSFET と n-SRTMOST によって構成されるインバータ回路を示す。通常のCMOSインバータ回路での n-MOSFET を n-SRTMOST に置き換えている。図.5(a)(b)(c)に、特有の電圧 V_{d1} 及び V_{d2} の定義と n-SRTMOST の I_d - V_d 特性の概要をそれぞれ示す。 V_{d1} 、 V_{d2} は、それぞれソースのフェルミ準位 E_f が量子井戸の最小のエネルギーレベルと等しくなった時の電圧、フェルミ準位 E_f が量子井戸の基底準位 E_1 と等しくなった時の電圧である。ドレイン電圧 V_{d1} の時のドレイン電流 I_{d1} は、WKB 近似に基づいたDT電流式[9]によって求められる。ドレイン電圧が V_{d2} より大きい場合、1次元チャンネル内の状態密度によりドレイン電流はドレイン電圧に伴って徐々に増加すると考えられるが、ドレイン電流は一定であると仮定する。なぜなら、ドレイン電流の増加の割合は共鳴が起こった後は非常に小さく、ドレイン電流一定という仮定はインバータ回路の出力特性に影響しないと思われる。

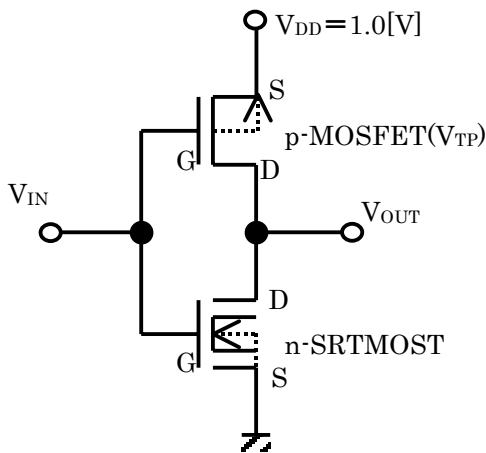


Fig. 4

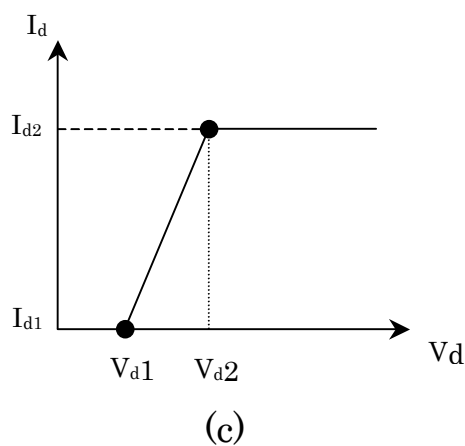
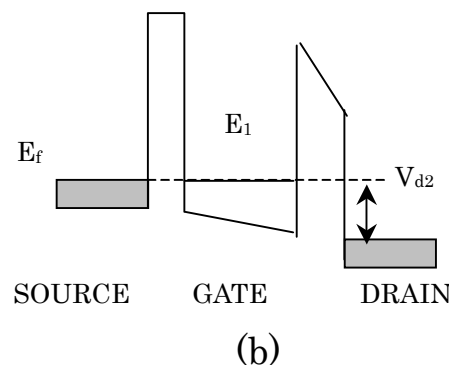
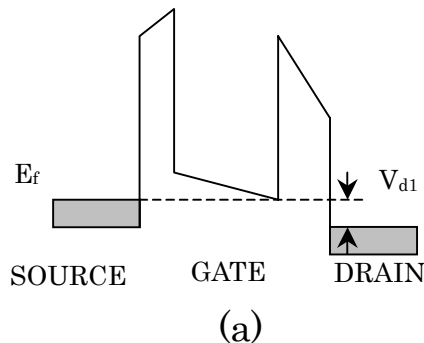


Fig. 5

計算に用いたポテンシャル図を図.3に示す。ソースからドレインへの透過率の計算は、有効質量近似を用いた1次元シュレーディンガー方程式を解くことによって求められる。ドレイン電圧 V_{d2} における RT 電流 I_{d2} は式(4)によって求められる。

$$I_{d2} = e^2 V_{d2} m_{Si}^* \times \Delta E / 2\pi^2 \eta^3 \quad (4)$$

ここで、 ΔE は RT エネルギーの不確定さで

ある。これは透過率とゲート電圧との関係による RT ピークの半値全幅(FWHM)によって与えられ、 ΔE の大きさは $10^{-5} \sim 10^{-3} \text{eV}$ である。

3. 結果

3-1) ゲートオフ時におけるソース-ドレイン間の DT 及び、動作特性と誘電体膜のバリアハイトとの関係

最初に、ゲートオフ時におけるソースからドレインへの DT についてダブルバリアの有無について議論する。図.6 に両方の条件のもとで計算されたチャンネル長に対する透過率の関係を示す。ゲート電圧 V_G 、ドレイン電圧 V_{DS} を 0 と仮定した。図.7(a), (b) にそれぞれ、 $V_{DS}=1.0 \text{ V}$, $V_G=0 \text{ V}$ と $V_{DS}=0.5 \text{ V}$, $V_G=0 \text{ V}$ の場合におけるドレイン電流のチャンネル長依存性のグラフを示す。ダブルバリアの有無による透過係数は図.7(a), (b) より約 19 桁のオーダーで変化している。しかし二重障壁の無い状態におけるドレイン電流は、ゲートオフ電流値 $10^{-5} \sim 10^{-10} \text{ A/cm}^2$ 以上で、これは二重障壁を用いることにより DT 電流を制限値以下に抑制する事ができる。図.8(a), (b) にそれぞれ、チャンネル長が 5nm 及び 10nm の場合のドレイン電流のゲート電圧依存性を示す。ゲート長が 10nm の時のドレイン電圧は、通常の電源電圧を考慮すると、0.5~1.0V の範囲になると考えられる。チャンネル長の 10nm 未満の従来型 MOST の実現は、二重障壁無しではできない事がわかる。

2 番目に、チャンネルの両端に形成された誘電体膜のバリアハイトの観点から、量子力学的チャンネル長における動作特性のパラメータについて検討する。図.9 にソースからドレインへの電子の遷移時間のチャンネル長依存性を示す。 SiO_2 の二重障壁を用いた場合の遷移時間は、二重障壁を用いない場合つまり従来型 MOST よりも長くなるが、バリアハイトの低い誘電体膜を用いことで遷移時間は短くなる。現在の SiO_2 よりも 0.1eV 低いバリアハイトの誘電体膜を用いると、透過率は SiO_2 を用いた場合よりも約 10 倍大きくなる。低いバリアハイトにおける電子の遷移時間は、 SiO_2 を用いた場合よりも 10 分の 1 程度になる。最適な誘電体膜を用いた電子の遷移時間は、二重障壁が無い場合の遷移時間以下になると考えられる。表 I に透過率 T^*T 、相互コンダクタンス g_m と遷移時間 t に相当するゲートオフ電流のバリアハイ

トの低下による影響を示す。ゲートオフ電流については、バリアハイトが低くなると透過率が増加する;このことはゲートオフ電流が増加する事を示している。遷移時間と相互コンダクタンス g_m については、共鳴時における電子の平均寿命 τ とほぼ同じ遷移時間が、バリアハイトが低くなると減少する。ここで、共鳴におけるエネルギーの不確定さは η/τ であるので、共鳴

エネルギーは $E \pm \eta/\tau$ となる。 E_1 は Schrödinger 方程式によって計算される基底のエネルギーである。共鳴ピークエネルギーの幅は ϵ_w 、これは $2\eta/\tau$ に等しい。それゆえ ϵ_w は増加する。このことは共鳴電流と g_m が増加することを意味している。バリアハイトの低下につれてゲートオフ電流は増加するが、 g_m と遷移時間は改善される。ゲートオフ状態における電流密度の増加は、動作特性を劣化させる。しかし限界電流は、図.7,8 に示す計算で求めた電流密度よりもずっと大きいものであり、透過率とゲートオフ電流に対する二重障壁誘電体膜と Si の間のオフセットエネルギーの影響を検討することは重要である。

Table 1.

| Barrier height | Gate-off | g_m | Transition time |
|----------------|----------|--------|-----------------|
| ↓ small | ↑ bad | ↑ good | ↓ good |

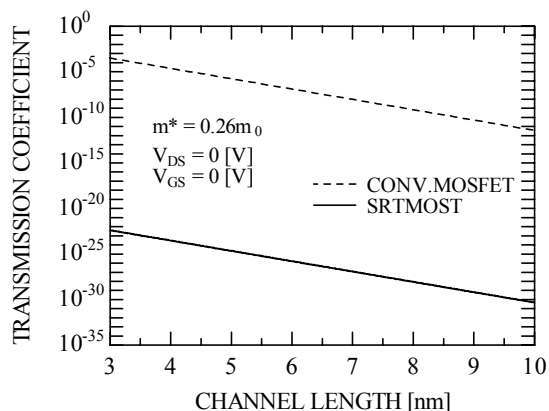


Fig. 6

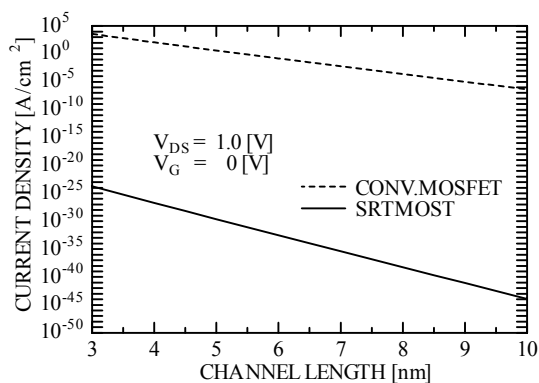


Fig. 7 (a)

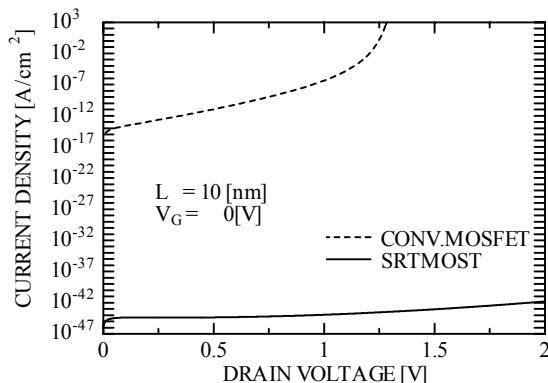


Fig. 8 (b)

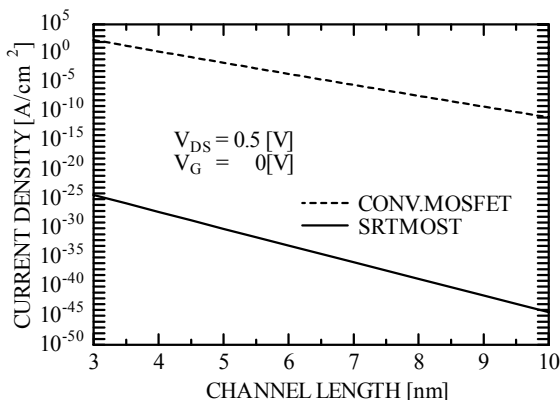


Fig. 7 (b)

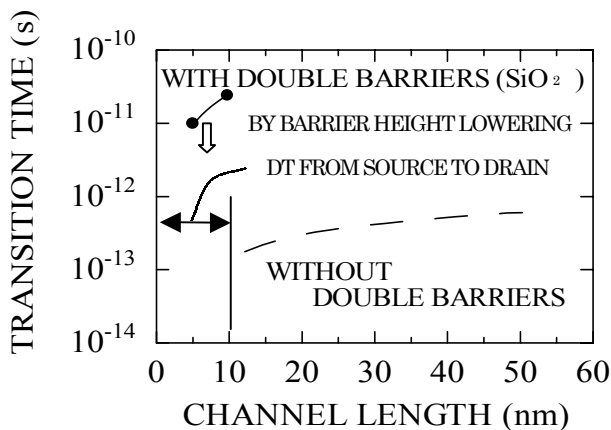


Fig. 9

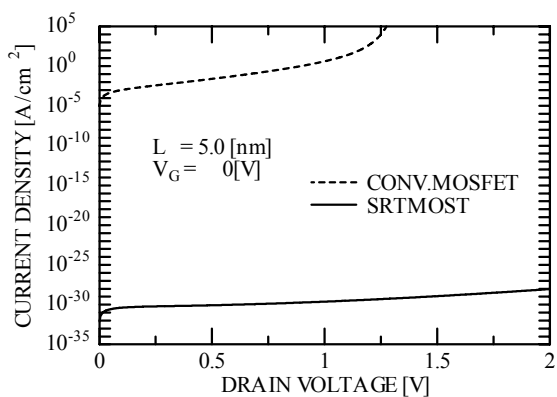


Fig. 8 (a)

3-2) オフセットエネルギーと透過係数の関係、ゲートオフ電流、遷移時間

図.10 はオフセットエネルギーを 0.3~3.25eV に変化させた表面ポテンシャル ϕ_s に対する透過係数の計算結果を示す。ピーク間のエネルギーとエネルギー幅はオフセットエネルギーの減少に伴い増加している。実際のピーク間のエネルギーは、Si と誘電体膜の界面の表面量子化によって計算値よりも小さくなる。ピーク間のエネルギーは、セクション 2.2 にも述べているように表面量子化を考慮して室温でおよそ kT となる。従来型の MOSFET で実現されていると同様のサブスレッショルド特性が期待される。図.11 は様々なオフセットエネルギーでのゲートオフ電流密度のド

レイン電圧依存性を示す。電流密度は、 $\phi_0 = 0.3 \text{ eV}$ と $\phi_0 = 0.6$ では低電圧領域で従来型よりも大きくなっている。オフセットエネルギーは 1.0 eV 以上にするべきである。ピーク電流は $I_{d,RT} = e^2 V_d m \Delta E / 2\pi^2 \eta^3$ によって計算され、オフセットエネルギーが 1.0 eV の値は 1.3 E8A/cm^2 である。ゲートオフ時とゲートオン時の電流値の比が約 10^{22} となるため、スイッチング特性は従来型 MOSFET よりも優れていることが期待される。図.12 に遷移時間のオフセットエネルギー依存性を示す。ソースからドレインへの遷移時間は、オフセットエネルギーが 1.0 eV の時に従来型 MOSFET に同程度となる。これらの計算結果より、誘電体膜/Si の適当なオフセットエネルギーは約 1.0 eV となる。本計算は 10 nm のチャネル長についての研究であるが、現在のものよりも小さなチャネル長をもつ SRTMOST でも動作させることが可能である。サブスレッショルド特性については、以下の現象がおきると思われる。二重障壁の間の距離に依存する基底エネルギー準位は、チャネル長の減少に伴って大きくなる。しかしながらこのエネルギー準位は、チャネル長の減少にも関わらず表面量子化によって一定に保たれる。これは閾値電圧の増加を意味する。ゲートオフ電流密度については、透過率の増加に伴い増加する。遷移時間はチャネル長の減少に伴って短くなっている。それゆえチャネル長の減少に対し、臨界オフセットエネルギーを少し増加すれば良い。その値はおよそ $1.0 \sim 1.5 \text{ eV}$ となる。

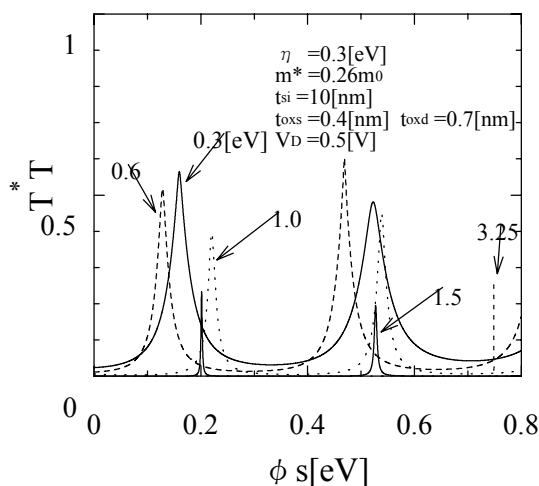


Fig. 10

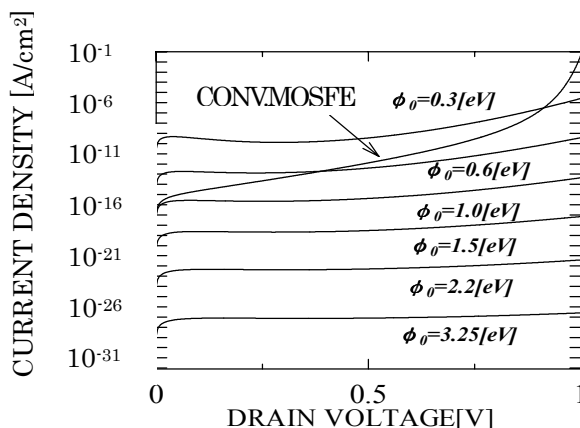


Fig. 11

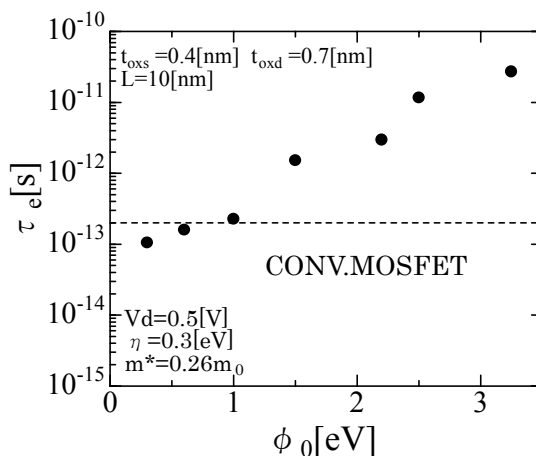


Fig. 12

3-3) p-MOSFET と n-SRTMOST で構成される論理回路への応用

図.13 は図.4 に示すインバータ回路において供給電圧 $V_{DD} = 1.0 \text{ V}$ とした場合の、n-SRTMOST と p-MOSFET のドレイン電流とドレイン電圧の関係を示している。交点に相当するドレイン電流とドレイン電圧がそれぞれに印加される。ここで、p-MOSFET におけるチャネル長 L とゲート幅 W は $0.1 \mu \text{ m}$ とする。フェルミエネルギー η 、 m_{Si}^* 、Si/SiO₂ のバリアハイト ϕ_0 、n-SRTMOST のチャネル長 L 、二重障壁のソース側酸化膜厚 t_{oxs} ドレイン側酸化膜厚 t_{oxd} は、それぞれ 0.3 eV 、 $0.26 m_0$ 、 3.26 eV 、 10 nm 、 0.4 nm と 0.7 nm とする。p-MOS と n-MOS の閾値電圧はそれぞれ、

-0.2V と 0.8V である。図. 14 に、図. 13 のドレイン電流とドレイン電圧の関係により与えられる出力電圧 V_{out} と入力電圧 V_{in} の関係を示す。 V_{in} が 0.8V 以上の場合、 V_{out} は n-SRTMOST の強反転状態によってほぼ 0V である。

このように、p-MOSFET と n-SRTMOST を用いた出力特性は、従来型の CMOS インバータとほとんど同じ特性を示している。出力電圧約 0.15V の所にプラトー領域がある。このプラトー領域は、n-SRTMOST の I_d - V_d 特性の V_{d1} と V_{d2} の間と p-MOSFET の I_d - V_d 特性の飽和領域の交点によってできる。このトランジスタのサイズでは、プラトー領域は小さくコントロールする事は困難である。このプラトー領域は、トランジスタサイズに依存している。この現象は n-SRTMOST と conv. p-MOSFET で構成される論理回路が、3 値出力の論理回路の理論的可能性を示唆している。p-MOSFET と n-MOSFET の両方を p-SRTMOST と n-SRTMOST に置き換えたすると、両方の SRTMOST の I_d - V_d 特性の V_{d1} と V_{d2} の間で動作点となり、プラトー領域が広がる事が期待される。我々には、n-SRTMOST と p-SRTMOST で構成される回路が多値(3 値かそれ以上の)論理回路を示唆する予備データがある。n-SRTMOST と p-SRTMOST のトランジスタサイズが、多値論理回路の出力特性に与える影響を現在考慮中である[12]。

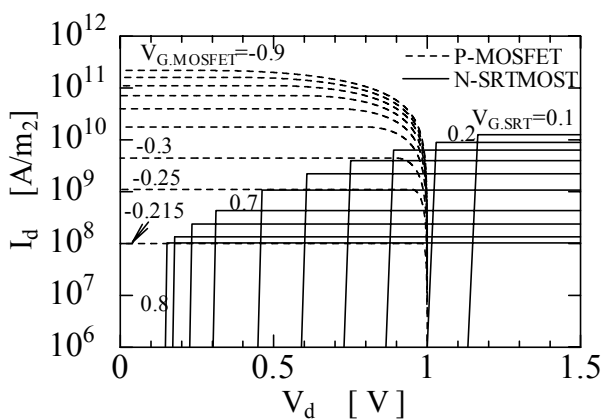


Fig. 13

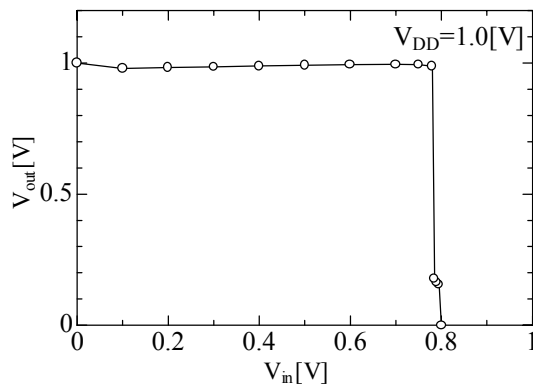


Fig. 14

4. 結論

conv.MOST の物理的な限界を拡張するため SRTMOST を提案した。ゲートオフ状態でのソースからドレインへの DT について、チャネル両端のダブルバリアの有無による違いについて検討した。ダブルバリアの有無によって、透過係数に約 19 桁のオーダーの差があるという結果及びダブルバリアのある場合のゲートオフ状態でのドレイン電流が限界電流値 $10^{-5} \sim 10^{-10} \text{A/cm}^2$ よりずっと小さいこと考慮すると、チャネル長が 10nm 以下の MOSFET を実現するにはダブルバリアが必要である。

量子力学的サイズのチャネル長における動作特性のパラメータは、上記の構造のバリアハイトの観点から議論した。電子の遷移時間は SiO_2 ダブルバリアを用いたとき、用いない場合よりも長くなるが、最適な誘電体膜を用いることによってダブルバリアの無い場合以下にすることができると思われる。この場合 g_m も改善される。計算された電流密度よりも限界電流値の方がずっと大きいので、ゲートオフ電流が増加することは動作特性の劣化にあまり影響しない。

チャネル長 10nm の SRTMOST において、誘電体膜/Si のオフセットエネルギーと透過係数、ゲートオフ電流と遷移時間の関係について計算した。誘電体膜/Si の最適なオフセットエネルギーは、約 1.0eV である。10nm 以下のチャネル長を有する SRTMOST において、その動作が可能と思われる。チャネル長の減少に伴って、閾値電圧とゲートオフ電流は増加し遷移時間は減少する。それゆえ、最適なオフセットエネルギーは大きくする必要がある。10nm 以

下のチャンネル長を持つ SRTMOST では、1.0~1.5eV となると思われる。

SRTMOST によって構成される多値論理回路の実現可能性を示した。n-MOSFET を n-SRTMOST に置き換えたインバータ回路の動作特性について計算した。理論的に、3 値論理回路が実現できる。SRTMOST は、サブ 0.1 μm 時代の conv.MOST のブレイクスルーが可能な素子の候補である。

参考文献

- [1] The National Technology Roadmap for Semiconductors, Semiconductor Industry Association, 1994.
- [2] H.Kawaura, T.Sakamoto and T.Baba, Ext.Abstr. 1999 Int. Conf. Solid State Devices and Materials, 1999, p.20.
- [3] N.Matsuo, T.Miura, H.hamada and T.Miyoshi, Trans. IEICE C 81(1998) 266.
- [4] N.Matsuo, T.Miura, J.Yamauchi, H.hamada and T.Miyoshi, Trans. IEICE C 82(1999) 131
- [5] N.Matsuo, J.Yamauchi, Y.Kitagawa, H.Hamada, T.Miura and T.Miyoshi, Jpn. J. Appl. Phys. 39(2000)3850.
- [6] N.Matsuo, Y.Kitagawa, Y.Takami, J.Yamauchi, H.Hamada and T.Miyoshi, Superlattices and Microstructures, Vol. 28, No. 5/6, 2000.
- [7] Y.Omura, Perspective Science and Technology for Novel Silicon on Insulator Devices (Kluwer Academic Publishers, 1999) p. 257.
- [8] N.Matsuo, Y.Takami, T.Nozaki and H.Hamada, IEICE Trans. on Electron. 85(2002)1086.
- [9] N.Matsuo, T.Miura, A.Urakami and T.Miyoshi, Jpn. J. Appl. Phys. 38(1999)3967.
- [10] D. K. Ferry, Quantum Mechanics (IOP Publishing, Bristol, 1995).
- [11] Y.Hirai, T.Uenoyama, K.Yuki, K.Morimoto and K.Morita, Ext. Abst.(43rd Spring Meet., 1996) Japan Society of Applied Physics and Related Societies, 1996, p.799 [in Japanese].
- [12] H.Kihara, Y.Takami and N.Matsuo, Absts. IEEE Silicon Nanoelectronics Workshop, 2002 p. 103.

(平成 14 年 12 月 27 日受理)