

連想記憶における最大値検出回路

西 正明 *

降矢 順治 **

A Maximum Value Detection Circuit for Associative Memory

Masaaki Nishi *

Jyunji Furuya **

(Received November 29, 1991)

キーワード：連想記憶，ニューラルネットワーク，最大値検出

1. 緒 言

連想記憶モデルを最近隣法でニューラルネットワーク的に構成する方法を先に報告した⁽¹⁾。さらに、その方法で必要な最大値検出回路を実現する具体的な回路構成を提案し、回路シミュレーションによる評価⁽²⁾、および組立回路による実験⁽³⁾を行ってきた。本論文では、最大値検出回路についてのもう一つの方法であるNANDゲートをベースに構成した回路のシミュレーション結果、および実験結果との比較を述べる。

2. 連想記憶モデル

本論文で扱う連想記憶モデルの全体構成を図2. 1に示す。図2. 1において入力事項は $m \times m$ の格子に数字などのパターンを描き、これをベクトル化したデータ $x = (x_1, x_2, \dots, x_n)$ ($n=m^2$)である。S(j) ($j=1 \sim k$)は重み値 x_{ij} ($i=1 \sim n, j=1 \sim k$)と入力データ x との内積を計算するニューロンである。従って、記録データ $x_j = (x_{1j}, x_{2j}, \dots, x_{nj})$ を重み値 x_{ij} ($i=1 \sim n$)に対応付ければ、ニューロンS(j)は入力データ x と記録データ x_j との内積値即ち類似度を求めて最大値検出回路に送ることになる。最大値検出回路は送られた値の中から最大値を検出し、しきい値の値としてニューロンS(j) ($j=1 \sim k$)にフィードバックするので、最大値を出力したニューロンだけがしきい値で阻止されずに出力し続けることになり、そのニューロンの重み値を取り出せば最も類似した記録データを想起することができる。

* 山口大学教育学部附属教育実践研究指導センター

** 山口大学教育学部技術・職業科

3. 最大値検出回路

3. 1 最大値検出回路の構成

最大値検出回路は入力された中から最大値を検出して、それが入力された素子だけが出力し続ける回路である。このような回路は基本競合系⁽⁴⁾でありWTA (Winner Take All) 回路で構成できるとされている。WTA回路の構成を図3. 1に示す。この回路では、興奮性結合の重み値 W_1 、抑制性結合の重み値 W_2 、興奮性素子 E_i ($i=1\sim n$) のしきい値、抑制性素子 I のしきい値等のパラメータを決める必要があるが、これらのパラメータは簡単には決定出来ないという問題がある。

そこで我々はニューロン素子の代わりに通常の2入力ANDゲートとインバータを用い、抑制性結合にゲートの否定出力をダイオードを通じて接続する構成を考えた。その回路構成を図3. 2に示す。図3. 2において AND_i ($i=1\sim n$) はANDゲート、 INV_i ($i=1\sim n$) はインバータ、 D_i ($i=1\sim n$) はダイオードをそれぞれ示す。2入力ANDゲートとインバータの代わりに2入力NANDゲートを用いる場合の回路構成を図3. 3に示す。 $NAND_i$ ($i=1\sim n$) はNANDゲートを示す。図3. 3でもインバータを用いているが、これは肯定出力を取り出すだけのためであり、最大値検出回路の動作には影響しない。

これらの回路は構成上次の特徴をもつ。

- ①主要素子は2入力ANDゲートとインバータあるいは2入力NANDゲートであり特殊な素子は不要である。
- ②抑制性結合は、各ゲートの否定出力でダイオードを通じてプルダウンする構成のため、他のゲートからの結合部分が負荷にならない。そのため各ゲートの負荷が最小限に軽くて済む。
- ③主なパラメータは入力部分の抵抗 R_1 とコンデンサ C だけで、この時定数 $R_1 \cdot C$ を十分大きくしておくだけで済む。

次に図3. 2を用いて動作を簡単に述べる。2入力ANDゲート AND_i ($i=1\sim n$) は一方の入力端子で入力信号 S_i ($i=1\sim n$) を R_1 、 C の積分回路を通して受け取る。もう一方の入力端子は R_2 によって電源電圧 V_{cc} にプルアップされている。ここで、全てのANDゲートに同時に入力信号が印加されるならば、最大の入力信号を受け取ったANDゲートが最も早くハイレベルを出力する。この出力は次に続くインバータによって信号レベルが反転されて、ダイオードを通じて他のANDゲートの入力端子電位を下げる。このため最大の入力信号を受け取ったANDゲートは他のANDゲートの出力をローレベルに抑制しながら自らはハイレベルを出力し続けることになる。2入力NANDゲートを用いた図3. 3の回路構成でも動作の仕組みは同様である。

3. 2 最大値検出回路の評価

(1) 回路シミュレーション

回路シミュレータには米国スペクトラムソフトウェア社のPC9801版MicroCAP IIIを使用した。この回路シミュレータではMS-DOS (ver 3. 3) のメモリ制限のため、扱える最大値検出回路の規模は最大で8入力までであった。そこで、ゲートを8個接続して8

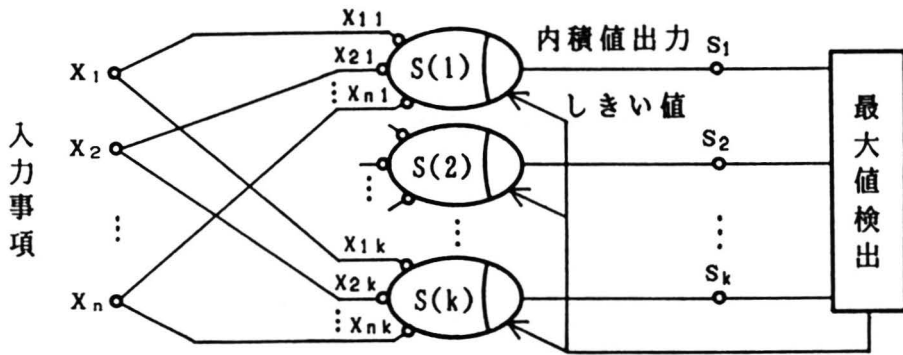
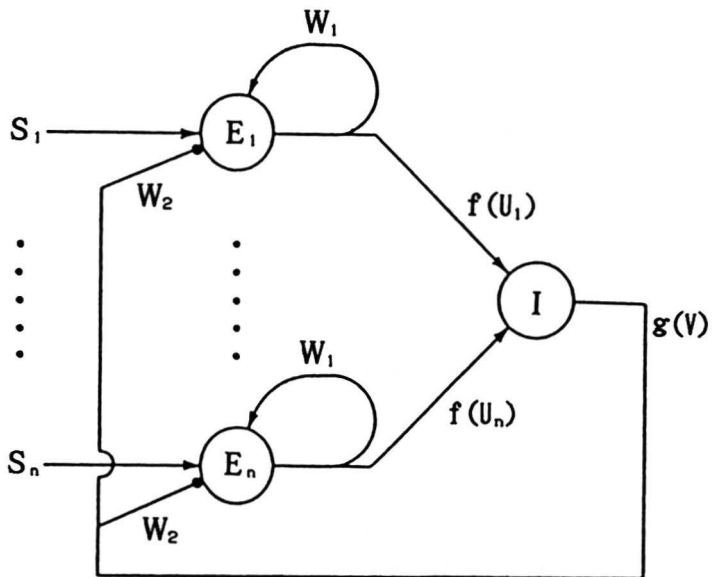


図2. 1 最近隣法による連想記憶モデルの構成



→ : 興奮性結合 ← : 抑制性結合

図3. 1 WTA回路

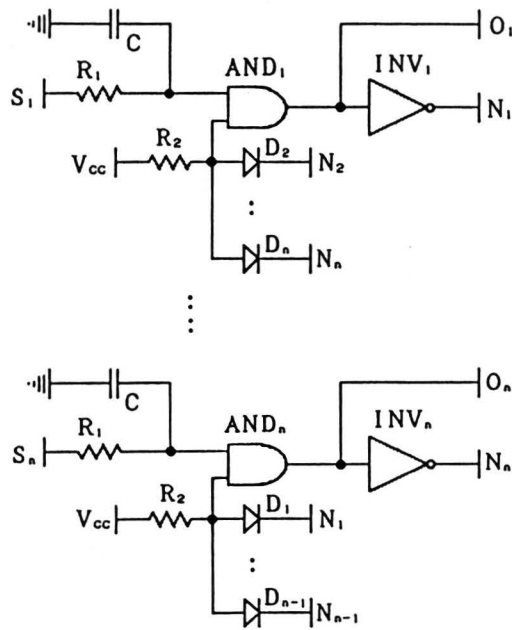


図 3. 2 最大値検出回路の構成 (AND)

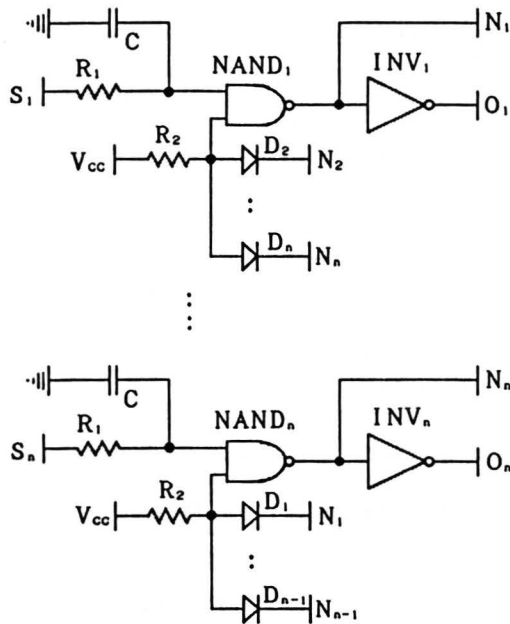


図 3. 3 最大値検出回路の構成 (NAND)

入力の最大値検出力回路を構成し、その入力信号の電圧差を検出する能力を評価した。評価した回路は図3. 2および図3. 3に示した回路であり、ANDゲート、インバータおよびNANDゲートは全てTTL系論理回路である。また、電源電圧 V_{cc} は5V、 R_1 は1K Ω 、 R_2 は10K Ω である。8入力のうち6入力には後に示す表3. 1の入力電圧の平均値2. 2Vを印加し、1入力には基準電圧として3. 5Vおよび4. 5Vを印加した場合の検出可能な最小電圧差 ΔV_m を回路シミュレーションを行なって評価した。入力回路のCの値によるこの最小検出電圧差の評価結果を図3. 4に示す。

図3. 4より以下のことがわかる。

- ①ANDゲートとインバータで構成した場合はNANDゲートで構成する場合に比較してインバータ1個分だけ回路遅れが大きいため、特にCの値が小さい領域で検出能力が低い。
- ②入力信号の大きさに差があると、入力がANDまたはNANDゲートのしきい値に達するまでの時間に差が生じる。この差はCの値が大きいと拡大するため検出し易くなる。このため、全体の回路遅れ、ゲート等の素子特性ばらつきが吸収されて検出能力が向上する。しかし一方、Cの値が大きいの程時定数が大きくなり検出回路自体の処理速度が遅くなるので、ある範囲に制限されるべきである。ここでは、時定数は100ns程度である。
- ③検出の基準電圧は4. 5Vよりは3. 5V即ち、ANDまたはNANDゲートのしきい値(約2. 5V)に近い方が検出能力が高い。

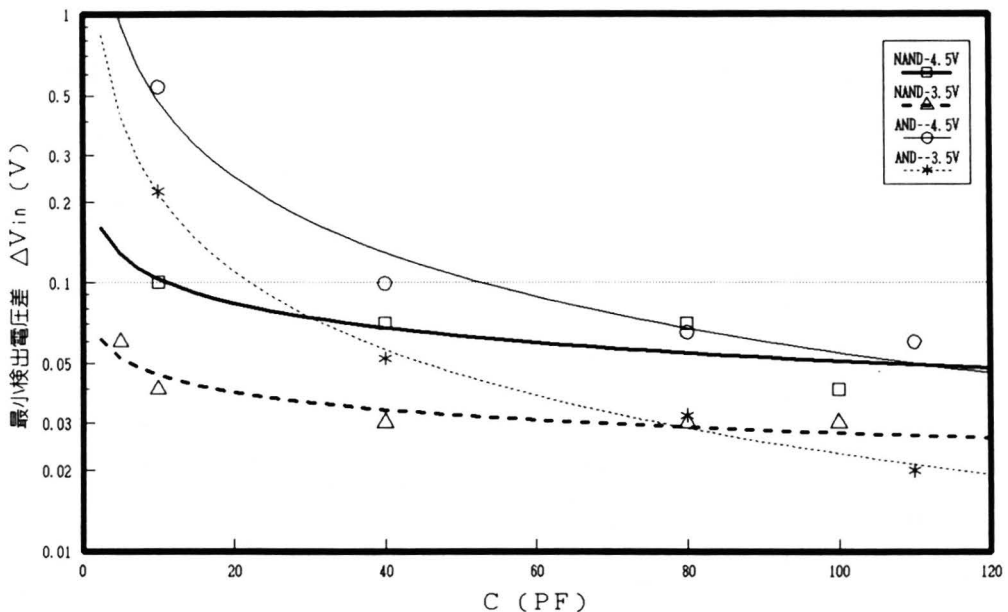


図3. 4 最大値検出回路の検出能力 (シミュレーション結果)

(2) 組立回路の実験

回路シミュレーションでは8入力の回路を評価したが、ここでは後で図3. 9に示す10種類の記録データに対応できるように、10入力の最大値検出出力回路を構成した。実験回路は図3. 5に示すように入力信号供給回路、最大値検出回路および表示回路から成る。入力信号供給回路はファンクションジェネレータからの信号を10個に分配し、それぞれ独立に信号振幅を設定でき、最大値検出回路に同時に供給できるようにするために設けた。各出力は2個の可変抵抗器を用いることで供給電圧が2.5V以上では上側の可変抵抗器、2.5V以下では下側の可変抵抗器から信号を取り出して大きさを細かく調節して供給できるようにしている。最大値検出回路は2入力NANDゲートで構成し、TTL系の74LS00Nを用いた。ダイオードに1S1588、積分回路用抵抗 R_1 に1K Ω 、プルアップ用抵抗 R_2 に10K Ω を用いた。表示回路は最大値検出回路のNANDゲートの出力を表示するためのもので、CMOS系インバータTC4009UBPを用いて発光ダイオードTLR102Rを駆動するようにしている。

図3. 6に製作した実験基板を示す。上が基板の表面、下が裏面の図である。図3. 6において、電源1は最大値検出回路および表示回路用の電源であり、電源2は入力信号供給回路用の電源である。電源3は入力信号供給回路が最大値検出回路に供給する信号の電圧値を測定するための基準電圧供給用電源である。供給信号の電圧値を直接オシロスコプの管面上で読み取っていたのでは精度が低いため、まずオシロスコプの感度を上げておいて、管面上に基準電圧に対する供給信号の波形のプラス側を表示させておく。次に基準電圧を供給信号のプラス側電位に合わせ、このときの基準電圧を電圧計で読み取ることにした。基板には95×70mmの穴

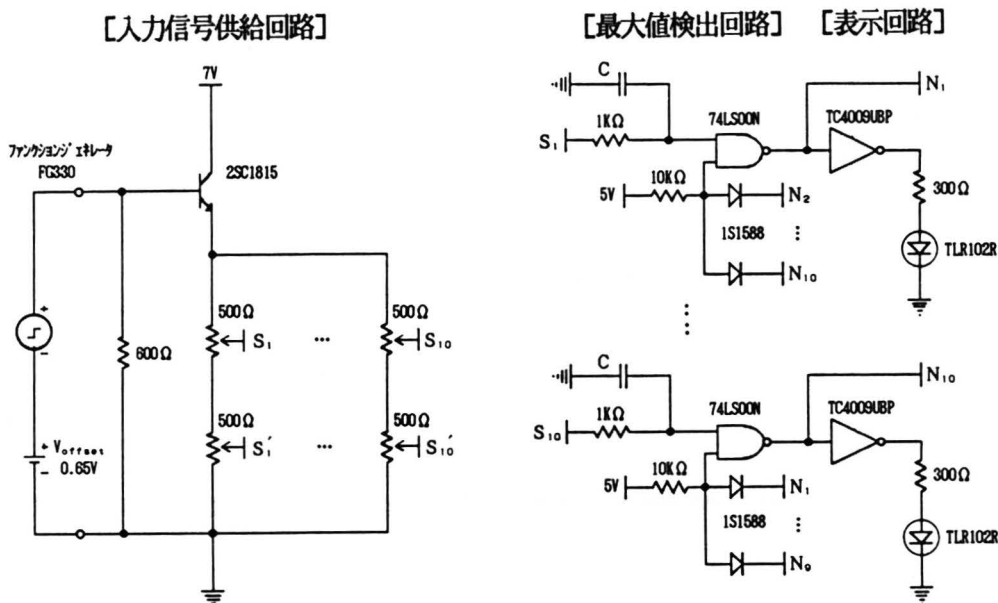


図3. 5 最大値検出実験回路

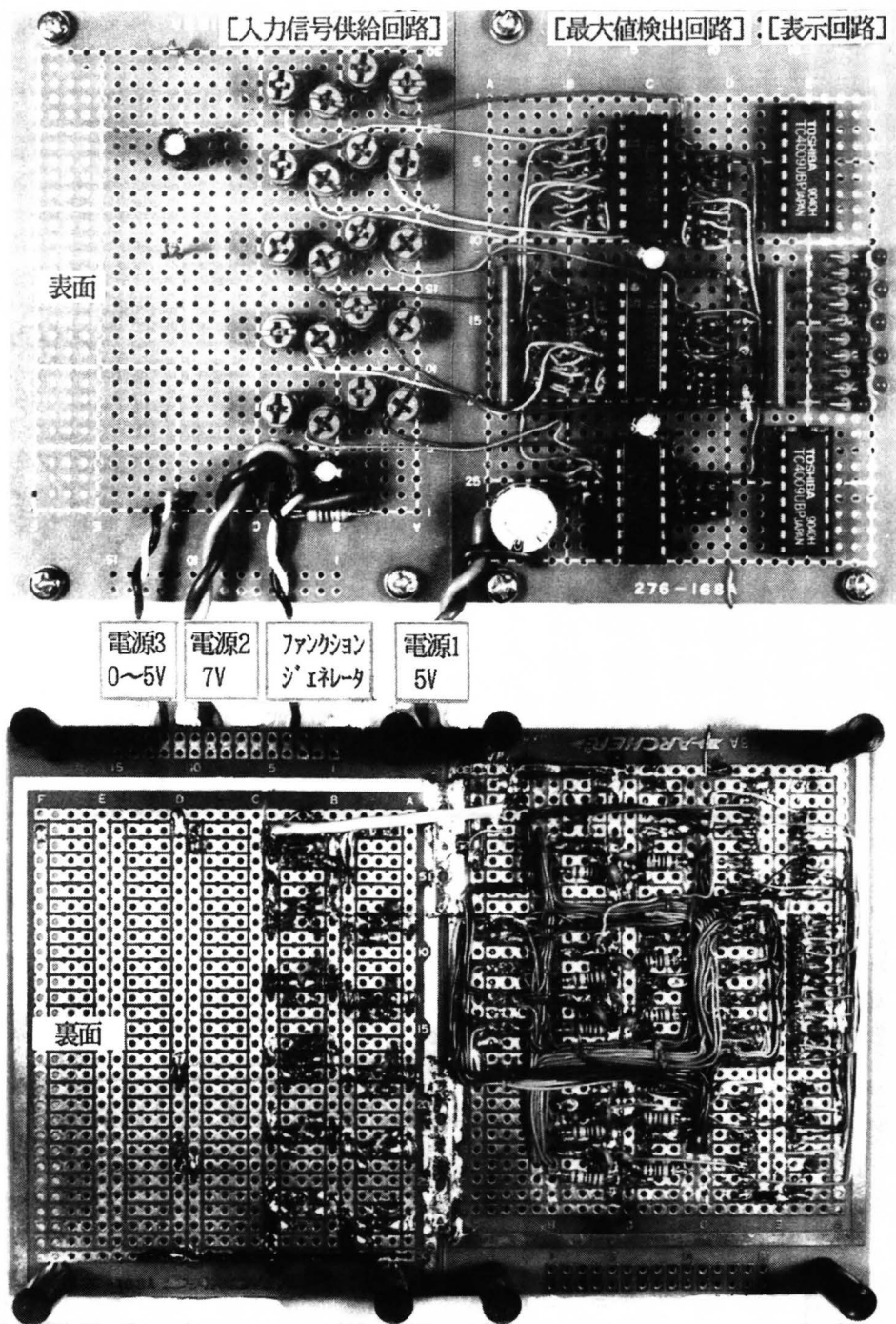


図 3. 6 最大値検出回路の実験基板

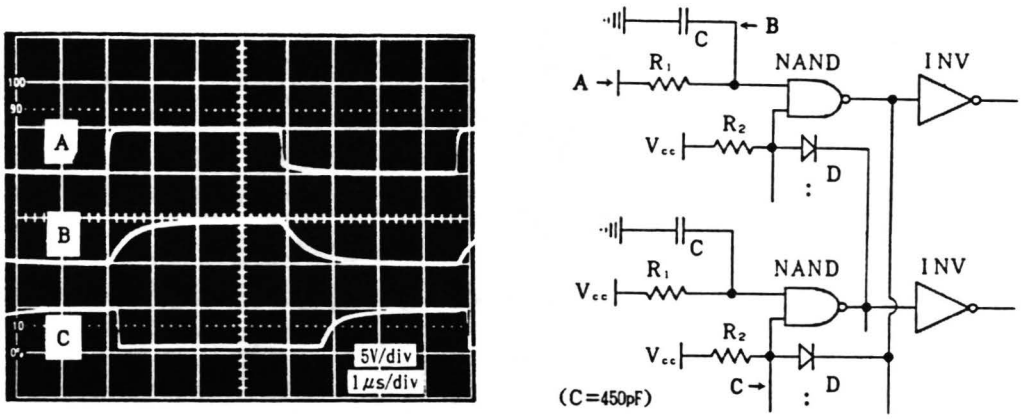


図3.7 最大値検出回路の各部の電圧波形

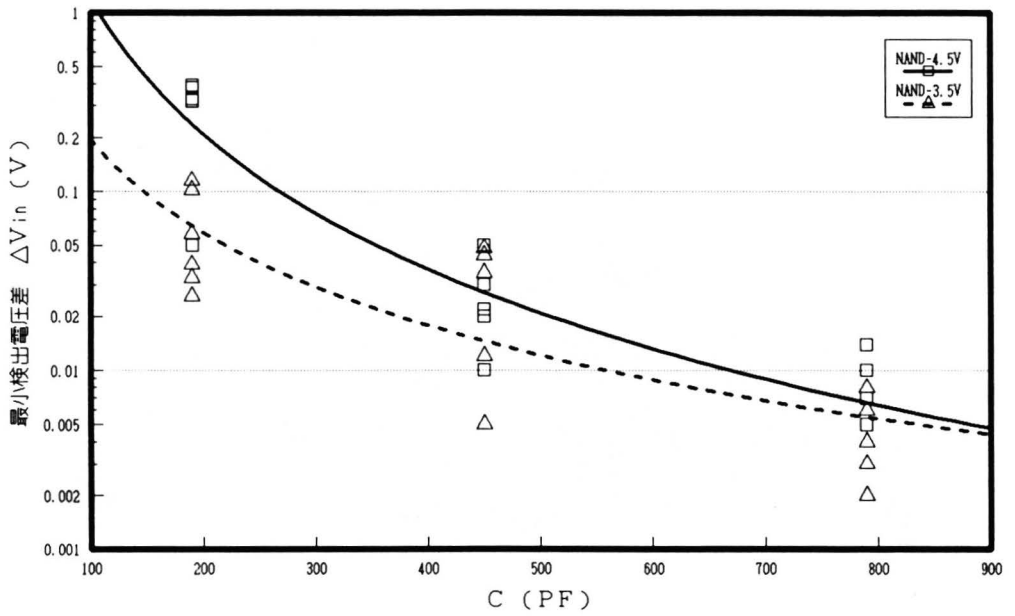


図3.8 最大値検出回路の検出能力 (実験結果)

明き基板を2枚使用した。右側の基板のほぼ中央が最大値検出回路であり、NANDゲートのIC 74LS00Nを縦に3個並べ、その両側にダイオード9個を垂直に立てたブロック10個を配列している。表示回路にはインバータのIC TC4009UBPを上下に2個並べ、右側に発光ダイオードを交互に10個並べている。基板の裏面には、右側の基板のほぼ中央に積分回路用の抵抗とコンデンサを10組縦に並べている。

この実験回路に信号を与えたときの各部の電圧波形を図3. 7に示す。入力Aに信号を加えたときNANDゲートの入力信号Bは R_1 、Cの積分回路のために波形がなまり、入力信号BがNANDゲートのしきい値に達するまでの時間経過後に、このNANDゲートの出力がダイオードを通じて他のNANDゲートの入力端子Cをプルダウンしている様子がわかる。

次に、回路シミュレーションの場合と同様に、この実験回路について基準電圧3.5Vおよび4.5Vに対する検出可能な最小電圧差 ΔV_m を評価した結果を図3. 8に示す。実験では回路の構成素子のばらつきが評価結果に影響するため、抵抗とコンデンサは1%の誤差範囲のものを選択した。NANDゲートもできる限り特性の近いものを選んで使用した。図3. 8には数箇所の測定結果をプロットするとともに、全体の回帰曲線をも示す。図3. 8は前述した回路シミュレーションとは使用ゲートの特性が異なるため絶対値の比較はできないが、検出能力の傾向は一致しているのがわかる。即ち、Cの値が大きいほど検出能力が向上すること、および検出の電圧レベルは4.5Vよりは3.5Vの方が検出能力が高いことがわかる。

(3) 実施例

図2. 1に示した最近隣法による連想記憶モデルの構成では、各ニューロンが出力する内積値は最大値検出回路に入力される。そこで、図3. 5および図3. 6に示した実験回路にこれらの内積値を入力する場合を実験した。

7×7格子面上に0～9の10種類の数字を描く場合を考える。入力に用いるパターンを図3. 9に示す。0番～9番は正しい数字のパターンで記録データとして扱う。即ち、図2. 1の連想記憶モデルの各ニューロンの重み値として設定されるとする。また、図3. 9において10番～17番は雑音が付加された数字のパターンで、最も類似したパターンが想起されるかどうかを評価する。内積値は-4.9～4.9の整数値をとるので、実験では入力データと各記録データとの内積値の十分の一の値を電圧値に置き換えて入力電圧とした。内積値が負の場合は0とした。図3. 9に示した全パターンに対する実験回路の出力結果を表3. 1に示す。表3. 1においてNoの欄は図3. 9に示したパターン番号に対応しており、入力電圧の欄はそれぞれの入力データと0～9の各記録データとの内積結果を入力電圧に変換した値を示す。出力結果はCの値別に○×で示している。○印は最大の入力電圧が検出されて最も類似した記録データが想起される場合を示し、×印はそれ以外の場合を示す。表3. 1からCの値が小さいときに×印であった場合（No12およびNo16）が、Cの値を大きくすると○印即ち正しい動作になることがわかる。また、最大値が複数個ある場合（No15）には最大値が入力される一方のコンデンサCに選択的に、さらに別の小容量コンデンサを付加して微調整すれば、他方の出力が選択されるようになる。但し、付加するコンデンサの容量が大き過ぎる（表3. 1では40pF以上）と、他の入力データの場合に悪影響が出るため、付加するコンデンサの容量はある範囲に制限されなければならない。表3. 1に示す結果に限れば、標準のコンデンサ容量が450pFのとき微調整の上限は30pF以下（6%以下）でなければならないことがわかる。このことは回路内素子のばらつきによる誤動作の補正にも有効であると考えられる。

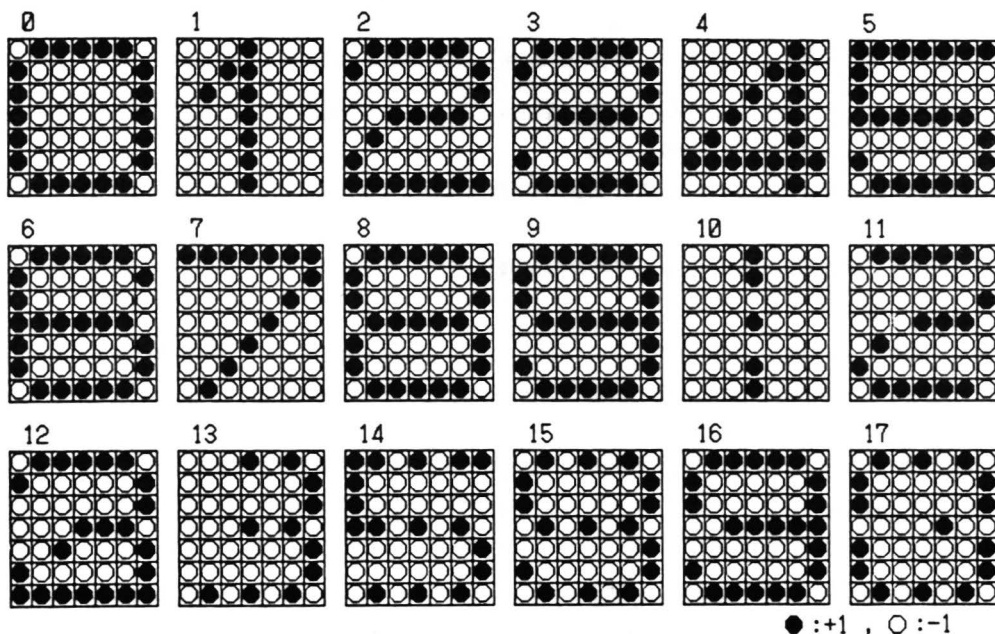


図3. 9 入力事項とその番号

また、表3. 1の中でNo 9の場合の入力波形の一部を図3. 10に示す。図3. 10から、Aに4. 9 V（最も大きい入力電圧）、Bに4. 5 V（2番目に大きい入力電圧）を入力した結果、A側の出力Cが4 0 0 n s程度遅れてハイレベルを出力していることがわかる。

4. 結 言

連想記憶モデルに使用する最大値検出回路の一構成を具体的に示し、回路シミュレーションおよび回路実験を行なった。その結果、最大値検出回路は通常の2入力ANDゲートとインバータ、または2入力NANDゲートで構成することができることが確認された。このとき回路シミュレーションからANDゲートとインバータを用いるよりはNANDゲートを用いる構成の方が特性が良いことがわかった。回路シミュレーションおよび回路実験から、入力回路の積分回路の時定数がある程度大きくしておけば十分な検出能力が得られることがわかった。さらに組立回路を用いて0～9の10種類の数字パターンを識別する実験を行なった結果、入力データに対して最も類似した記録パターンが選択され正しく動作することが確認された。また、入力部の積分回路の時定数を数%微調整すれば同じ値の最大値が複数個入力された場合に対応できることがわかった。

表 3. 1 最大値検出回路の入力電圧と出力結果

No.	入力電圧 (V)											C値 (pF) と出力結果 (○正しく動作, ×動作不安定)							
												190	450						790
													均一	均一	1	4	10	30	
0	4.9	0.0	2.3	3.3	0.0	2.7	3.5	1.1	3.5	3.5	○	○	○	○	○	○	○	○	○
1	0.0	4.9	0.1	0.3	0.5	0.0	0.0	1.3	0.0	0.0	○	○	○	○	○	○	○	○	○
2	2.3	0.1	4.9	3.9	0.0	2.5	2.9	1.3	3.3	3.3	○	○	○	○	○	○	○	○	○
3	3.3	0.3	3.9	4.9	0.0	3.5	3.9	1.5	4.3	4.3	○	○	○	○	○	○	○	○	○
4	0.0	0.5	0.0	0.0	4.9	0.0	0.0	0.1	0.0	0.0	○	○	○	○	○	○	○	○	○
5	2.7	0.0	2.5	3.5	0.0	4.9	4.1	1.3	3.7	3.7	○	○	○	○	○	○	○	○	○
6	3.5	0.0	2.9	3.9	0.0	4.1	4.9	0.9	4.5	4.1	○	○	○	○	○	○	○	○	○
7	1.1	1.3	1.3	1.5	0.1	1.3	0.9	4.9	0.9	0.9	○	○	○	○	○	○	○	○	○
8	3.5	0.0	3.3	4.3	0.0	3.7	4.5	0.9	4.9	4.5	○	○	○	○	○	○	○	○	○
9	3.5	0.0	3.3	4.3	0.0	3.7	4.1	0.9	4.5	4.9	○	○	○	○	○	○	○	○	○
10	0.7	4.1	0.9	1.1	0.9	0.5	0.5	1.7	0.5	0.5	○	○	○	○	○	○	○	○	○
11	2.5	1.1	3.9	3.7	0.3	2.7	2.7	1.9	3.1	3.1	○	○	○	○	○	○	×	○	○
12	2.9	0.0	3.9	4.1	0.0	2.7	3.1	1.1	3.5	3.5	×	○	○	○	○	○	×	○	○
13	2.3	2.1	2.1	3.1	0.9	1.7	2.1	1.7	2.5	2.5	○	○	○	○	○	○	○	○	○
14	2.1	1.1	1.1	2.1	0.0	3.5	2.7	1.5	2.3	2.3	○	○	○	○	○	○	○	○	○
15	2.9	1.1	2.3	3.3	0.3	2.7	3.1	1.1	3.5	3.5	×	×	○	○	○	○	○	○	×
16	3.7	0.0	3.5	4.5	0.0	3.5	3.9	1.1	4.3	4.7	×	○	○	○	○	○	×	○	○
17	3.5	0.9	2.1	3.1	0.1	2.1	2.9	1.7	3.3	2.9	○	○	○	○	○	○	×	○	○

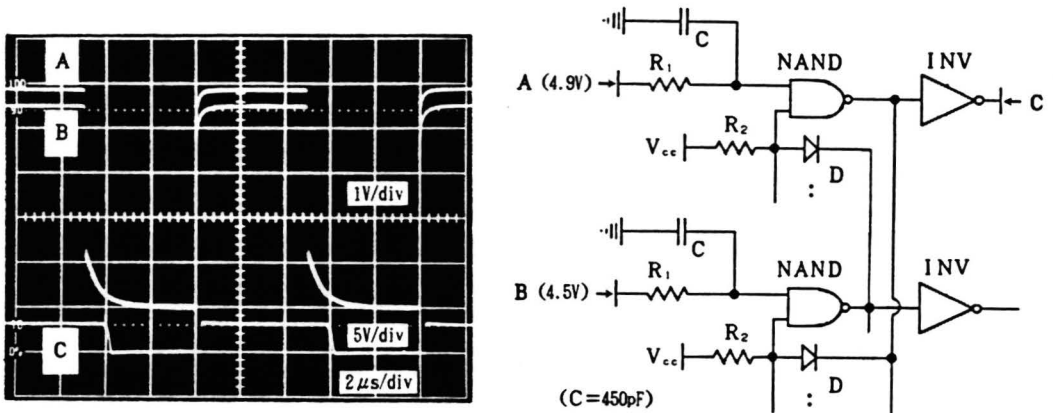


図 3. 10 最大値検出回路の入出力波

謝 辞

本研究を進めるに当たり、回路シミュレータを紹介して頂いた林川基治氏（本学部技術・職業科）、並びに実験回路基板の写真撮影に協力して頂いた澤本章氏（本学部技術・職業科）に深謝致します。

参 考 文 献

- (1) 西, 降矢: “連想記憶モデルの一構成”, 電子情報通信学会春季全国大会, D-35, p6-35(平2).
- (2) 西, 降矢: “連想記憶モデルにおける最大値検出回路の一検討”, 山口大学教育学部研究論叢, 第42巻第2部, pp37-42(平3).
- (3) 西, 降矢: “連想記憶モデルにおける最大値検出回路の一構成”, 電気・情報関連学会中国支部連合大会, 122008, p357(平3).
- (4) 甘利俊一: “神経回路網の数理”, 産業図書(昭53).